

Московский государственный технический университет
имени Н.Э. Баумана

В.А. Соболев, В.А. Соловьев

ПРОЕКТИРОВАНИЕ ДИСКРЕТНОГО КОМБИНАЦИОННОГО
ЦИФРОВОГО УСТРОЙСТВА НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ

Учебное- методическое пособие

Издательство МГТУ им. Н.Э. Баумана
г. Москва 2022

УДК 621.38

ББК 31.2

К

Издание доступно в электронном виде на портале *ebooks.bmstu.ru*
по адресу: [http://ebooks.bmstu.press/catalog/.....](http://ebooks.bmstu.press/catalog/)

Факультет «Фундаментальные науки»

Кафедра «Электротехника и промышленная электроника»

Рекомендовано Научно-методическим советом

МГТУ им. Н.Э. Баумана в качестве учебно-методического пособия

Соболев В.А.

Проектирование дискретных комбинационных цифровых устройств на интегральных микросхемах: учебн. -методическое пособие / В.А. Соболев, В.А. Соловьев– Москва: Издательство МГТУ им. Н.Э. Баумана, 2022-36,:ил.

ISBN

Изложены теоретические основы синтеза дискретных комбинационных цифровых устройств и варианты домашнего задания «Проектирование дискретного комбинационного цифрового устройства на интегральных микросхемах» для автомата управления технологическими операциями по дисциплине «Электротехника и электроника». Приведены требования и к выполнению домашнего задания, рассмотрен пример его поэтапного выполнения и оформления. Рассмотрена верификация работоспособности спроектированного дискретного комбинационного цифрового устройства в компьютерной программе моделирования Multisim10.1.

Для студентов МГТУ им. Н.Э. Баумана, обучающихся по программе специалитета и изучающих двух семестровый курс «Электротехника и электроника»

УДК 621.38

ББК 31.2

К

ОГЛАВЛЕНИЕ

| | |
|---|----|
| Предисловие | 4 |
| 1.Проектирование комбинационных дискретных устройств..... | 6 |
| 2. Домашнее задание | 30 |
| 3. Проверка, защита и оценка домашнего задания | 31 |
| 4. Пример поэтапного выполнения и оформления домашнего задания | 32 |
| 5. Контрольные вопросы для защиты домашнего задания | 49 |
| 6. Приложение 1. Варианты домашнего задания | 51 |
| 7. Приложение 2. Моделирование в компьютерной программе NI Multisim | 56 |
| Литература | 62 |

ПРЕДИСЛОВИЕ

Данное учебно-методическое пособие является составной частью учебно-методического комплекса и предназначено для выполнения домашнего задания №1 первого модуля раздела «Цифровая электроника» дисциплины «Электротехника и электроника» образовательной программы подготовки специалистов по направлению 15.05.01 Проектирование технологических машин и комплексов. Пособие предназначено для углубленного теоретического и практического изучения раздела «Комбинационные цифровые устройства».

Цель издания- приобретение студентами самостоятельного навыка проектирования дискретных комбинационных цифровых устройств на интегральных микросхемах (ИМС), умение использовать компьютерную программу Multisim10.1 для верификации работоспособности и отладки таких устройств, ознакомление с элементной базой цифровой техники массово изготавливаемой промышленностью в виде интегральных микросхем.

Современное производство характеризуется широким внедрением в технологические процессы систем автоматического контроля и управления с использованием цифровых устройств, в которых осуществляется логическая и вычислительная обработка информация, поступающая от разнообразных технологических операций, выполняемых различными устройствами и системами для четкого взаимодействия их между собой. Это взаимодействие организуется с помощью многочисленных датчиков, расположенных в устройствах и информирующих об их состояниях или о фазе самого технологического процесса. К логическим системам управления относятся и дискретные комбинационные цифровые устройства. Для построения дискретных комбинационных цифровых устройств используются интегральные микросхемы (ИМС) малой и средней степени интеграции.

Уметь решать задачи эксплуатации и проектирования систем управления современными технологическими процессами является важной составляющей подготовки студентов по направлению «Проектирование технологических машин и комплексов».

Данное учебное пособие включает методы решения практических задач

проектирования дискретных комбинационных цифровых устройств и служит целям формирования знаний и умений, необходимых для корректной постановки и решения проблемы в области современных средств логического управления технологическими процессами.

В результате изучения материала учебно-методического пособия студенты смогут:

1. Знать теоретические основы функционирования многофункциональных комбинационных устройств.
2. Уметь выполнять поэтапное проектирование дискретного комбинационного цифрового устройства и проводить верификацию его работоспособности в компьютерной среде моделирования NI Multisim.
3. Владеть информацией о современной элементной базе промышленно выпускаемых интегральных микросхем, применяемые в цифровых устройствах.

Пособие содержит предисловие, четыре раздела и два приложения. В первом разделе рассмотрены теоретические аспекты функционирования и проектирования многофункциональных комбинационных устройств. Во втором разделе сформулировано домашнее задание, в третьем разделе описана процедура проверки и защиты домашнего задания, в четвертом разделе приведен поэтапный пример выполнения домашнего задания.

В приложении 1 приведены варианты домашнего задания, в приложении 2 приведены краткие сведения о компьютерной программе NI Multisim, необходимые для проведения верификации работоспособности спроектированного цифрового устройства. Также приведен список литературы.

Домашнее задание выполняется студентами факультета МТ МГТУ им. Н.Э. Баумана, обучающихся по программе специалитета по дисциплине «Электротехника и электроника».

1. ПРОЕКТИРОВАНИЕ ДИСКРЕТНЫХ КОМБИНАЦИОННЫХ УСТРОЙСТВ

Под проектированием дискретных комбинационных цифровых устройств понимают разработку заданного устройства по определенным правилам (этапам), обеспечивающим максимально простое решение технического задания и верификацию его работоспособности в компьютерной программе моделирования цифровых устройств.



Рис.1.1. Обобщенная схема комбинационного цифрового устройства

В общем виде дискретное комбинационное цифровое устройство (ДКЦУ) имеет n входов и m выходов (рис.1.1), соотношение между которыми задано определенным алгоритмом, как правило, таблицей истинности.

В ДКЦУ происходит цифровая обработка информации (операция), которая представляется совокупностью двоичных переменных (аргументов) $(X_n, X_{n-1}, \dots, X_1)$, каждая из которых может принимать значения «0» или «1» (логический ноль или логическая единица). При этом единичное значение переменной, как правило, указывает на то, что произошло некоторое событие, например, уровень температуры превысил заданное значение в определенной точке исследуемого объекта, произошло замыкание ключа или величина напряжения в схеме превысила заданное значение и т.д.

Одной из основных операций цифровой обработки информации является реализация функциональных зависимостей $F = f(X_n, X_{n-1}, \dots, X_1)$, ставящих в соответствие каждому набору (комбинации) входных величин $(X_n, X_{n-1}, \dots, X_1)$ в соответствие значение переменной F , которое также может принимать только

значения «0» или «1». Такие зависимости называются логическими или переключательными функциями. Они могут задаваться словесным описанием, в табличной форме, а также в виде булевой алгебры и т.д.

Логическая функция устанавливает соответствие между входными величинами X_n, X_{n-1}, \dots, X_1 , которые называются так же аргументами логической функции F_i .

Таким образом, каждому набору входных величин должно соответствовать значение 0 или 1 выходной логической функции.

Это записывается в виде таблицы, которая называется таблицей истинности (ТИ).

Таблица истинности представляет собой – таблицу, у которой число строк N соответствует числу возможных N наборов входных величин X_n, X_{n-1}, \dots, X_1 ($N=2^n$) и напротив каждого набора переменных записывается соответствующее значение логической функции F_i . Одна ТИ может задать несколько выходных логических функций от одних и тех же аргументов.

В качестве наборов входных величин обычно используются данные датчиков, например, температуры в разных местах металлоконструкции или датчики положения предмета, датчики измерения величина определенных параметра изделия и т.п.

Логическая функция, задаваемая ТИ, для некоторых комбинаций входных величин может быть не определена. Неопределенность функции на практике означает, что соответствующая комбинация значений аргументов в работе ДКЦУ никогда не должна появиться (является запрещенной). Тогда не полностью определенную логическую функцию на запрещенных наборах входных величин доопределяют логическими «0» или «1» из условия получения наиболее простой ее технической реализации. Принцип доопределения мы рассмотрим ниже на конкретном примере.

Следует напомнить, что при написании различных наборов входных величин в ТИ их записывают в определенном порядке – лексикографическом, который совпадает с порядком возрастания наборов переменных, рассматриваемых как числа в двоичной системе счисления, которые совпадают с номером строки (номер набора).

Таким образом, в таблице истинности каждому набору входных величин должно быть определено значение логической функции F_i - 0 или 1. А это означает, что какое-то событие произойдет или не произойдет на данном наборе входных величин.

Для построения цифровых схем ДКЦУ используют аналитическое выражение логической функции. Переход от ТИ логической функции к ее аналитическому выражению осуществляется по определенным правилам в виде канонической совершенной дизъюнктивной нормальной формы (СДНФ) или совершенной конъюнктивной нормальной формы (СКНФ) по единичным или нулевым значениям логической функции в ее таблице истинности.

Для представления логической функции $F = f(X_n, X_{n-1}, \dots, X_1)$ в виде СДНФ необходимо записать сумму произведений комбинаций переменных (элементарных конъюнкций) тех наборов входных величин (*минтермов*), на которых логическая функция принимает значение 1, причем переменные, имеющие значение 0, в произведении записываются с инверсией.

Для представления логической функции $F = f(X_n, X_{n-1}, \dots, X_1)$ в виде СКНФ необходимо записать произведения суммы комбинаций переменных тех наборов входных величин (*макстермов*), на которых логическая функция принимает значение 0, причем переменные, имеющие значение 1, в сумме записываются с инверсией.

После получения совершенной формы логической функции приступают к их упрощению, применяя операции склеивания, в результате которых количество членов и логических операций уменьшается в аналитическом выражении логической функции. Это упрощение называется минимизацией логической функции, а сами упрощенные логические функции называются минимальной дизъюнктивной нормальной формой (МДНФ) или минимальной конъюнктивной нормальной формой (МКНФ) логической функции. По этим МДНФ или МКНФ выполняются логические схемы в основном базисе И, ИЛИ, НЕ базисе для каждой выходной логической функции F_i ДКЦУ.

Минимизация логической функции приводит к улучшению таких показателей устройства, как быстродействие, надежность, энергопотребление, стоимость и т.п. При количестве входных величин логической функции не более пяти – минимизация логической функции упрощается применением специальной таблицы – карты Карно. Такая карта содержит клетки, в которых записываются значения логической функции. Каждая клетка этой карты соответствует определенной строке таблицы

истинности и в нее записывается соответствующее значение логической функции 0 или 1.

В соответствии с теоремой де Моргана любая логическая функция может быть реализована так же на логических элементах И-НЕ или ИЛИ-НЕ. Для этого необходимо записать структурные уравнения МДНФ или МКДНФ в базисе И-НЕ или ИЛИ-НЕ, используя определенный алгоритм.

Логические элементы И-НЕ и ИЛИ-НЕ выпускаются промышленностью в виде интегральных микросхем малой и средней степени интеграции различных серий и позволяют унифицировать элементную базу проектируемых цифровых устройств. Логические элементы одной серии совместимы друг с другом и без проблем собираются в схемы.

На логических схемах ЛЭ изображаются прямоугольниками с соответствующими обозначениями. Далее эта логическая схема используется для выбора реальной элементной базы и выполнения электрической принципиальной схемы спроектированного ДКЦУ.

При окончательном выполнении логической схемы ДКЦУ (электрической принципиальной схемы) в заданном базисе, так же проводится ее минимизация по количеству логических элементов, за счет использования общих логических элементов, участвующих в реализации разных выходных логических функций.

Для сокращения сроков проектирования ДКЦУ на определенных стадиях его проектирования необходимо выполнять его диагностический анализ - проведение верификации его работоспособности в компьютерной программе моделирования цифровых устройств путем сравнения его заданной таблицы истинности с таблицей истинности экспериментально полученной на его модели, или сравнением теоретических временных диаграмм его работы с полученными экспериментально или другим тестовым сигналам. Способ верификации зависит от количества выходных функций ДКЦУ.

Верификация проводится с использованием лицензионной компьютерной программе NI Multisim, установленной на персональных компьютерах в компьютерном классе кафедры «Электротехника и промышленная электроника».

Суммируя все сказанное выше, можно сказать, что проектирование комбинационного цифрового устройства осуществляется по определенному алгоритму, разбитому на последовательные этапы:

1. *Анализ технического задания и его формализация;*
2. *Минимизация выходных функций;*
3. *Выполнение цифровой логической схемы для каждой выходной функции F_i ДКЦУ в основном базисе;*
4. *Верификация работоспособности цифровых логических схем, записанных в МДНФ;*
5. *Записать МДНФ выходных функций в базисе И-НЕ или ИЛИ-НЕ;*
6. *Верификация работоспособности логических схем в заданном базисе;*
7. *Минимизации количества ЛЭ в комбинационном цифровом устройстве;*
8. *Выбор интегральных микросхем и разработка электрической; принципиальной схемы комбинационного цифрового устройства;*
9. *Расчет быстродействия КЦУ.*

Обычно по мере приобретения опыта некоторые этапы опускаются совсем или объединяются. Рассмотрим эти этапы более детально:

1) *Анализ технического задания и его формализация*

Техническое задание на проектирование ДКЦУ может выдаваться в виде словесного описания его функционирования или в виде таблицы истинности. В первом случае нужно из описания определить значение выходной функции F_i для каждой комбинации входных величин ($X_n, X_{n-1} \dots X_1$), т.е. составить таблицу истинности. Также в техническом задании задается базис, в котором ДКЦУ должен быть выполнен и другие условия работы ДКЦУ,

2) *Минимизация выходных функций*

Логическую схему, которая реализует заданное ДКЦУ можно выполнить непосредственно по выражению и в виде СДНФ или СКДНФ, но такая схема будет не

оптимальна с точки зрения практического применения. Поэтому эти исходные функции обычно минимизируют и ставится условия на выбор элементной базы.

Представление логической функции в виде СДНФ используется чаще.

Минимизация СДНФ выходной функции F_i может осуществляться любыми доступными методами, в результате чего получим минимальную дизъюнктивную нормальную форму (МДНФ) выходной функции F_i записанную в основном базисе И, ИЛИ и НЕ.

Если входных сигналов пять и меньше, то минимизацию лучше сразу проводить сразу с помощью карт Карно по ТИ, не записывая СДНФ выходной функции F_i рис.1.2.

Карта Карно представляет собой таблицу, состоящую из матрицы клеток, количество которых равно числу возможных наборов входящих в исходную булеву функцию переменных. Так логических функций двух переменных – надо четыре клетки, для трех переменных – восемь, для четырех переменных - шестнадцать и т.д.

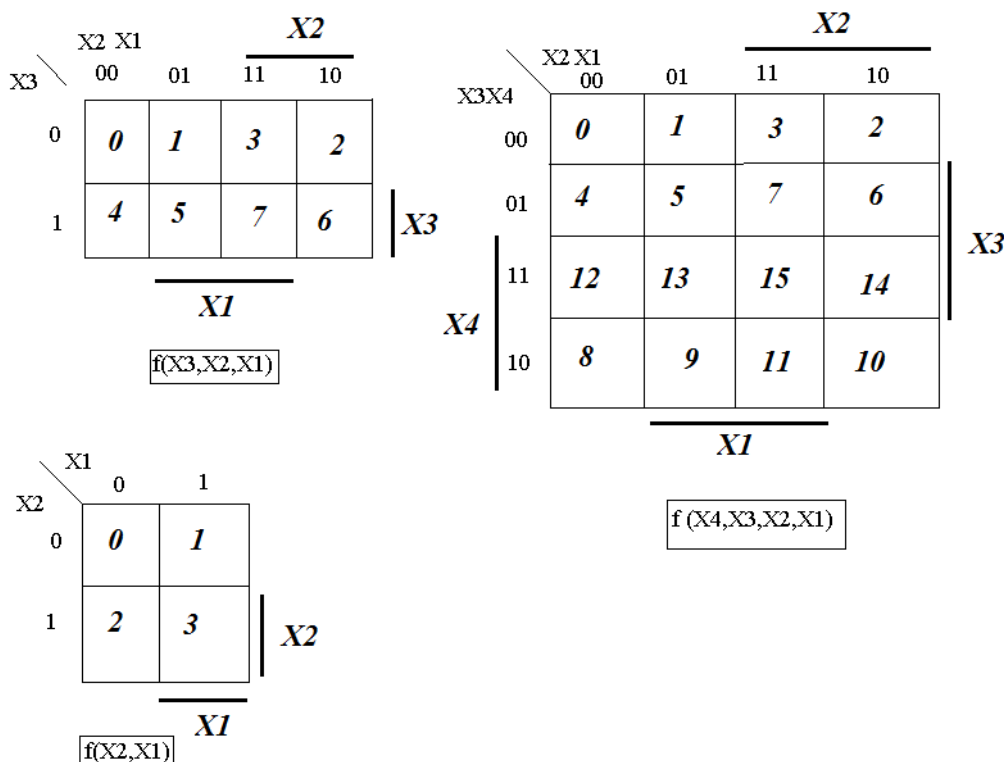


Рис.1.2. Шаблоны карт Карно для функции двух, трех переменных и четырех переменных

Каждая клетка такой таблицы соответствует определенной комбинации входными переменным (номеру набора) булевой функции, для данной карты.

Карно формируется таким образом, заключается в том, что комбинации значений переменных различаются значением только одной переменной, т.е. при переходе с одной клетки в соседнюю всегда изменяется значение только одной переменной от ее прямого значения к ее инверсии, и наоборот, что дает возможность производить склеивание рядом стоящих переменных как по горизонтали, так и по вертикали. Заполнение карты Карно осуществляется путем записи 1 в клетки карты, номер которой совпадает с номером набора входных переменных, на которых ЛФ имеет единичное значение (СДНФ). Далее проводят операции склеивания для входных переменных, путем их объединения.

Если выходная функция F_i определена не при всех наборах аргументов, то необходимо ликвидировать неоднозначность таблицы нулями или единицами, чтобы в результате уменьшить число членов СДНФ, рассматриваемой выходной функции и провести минимизацию данной логической функции.

При выборе объединения групп в карте Карно, дающих МДНФ, следует руководствоваться следующими двумя принципами (рис.1.3):

- Группа должна быть как можно больше;
- Групп должно быть как можно меньше.

Так как, во-первых, чем больше группа, тем меньше переменных в соответствующем произведении, во-вторых, чем меньше групп, тем меньше число слагаемых. Таким образом, мы уменьшаем число переменных в конечном выражении МДНФ.

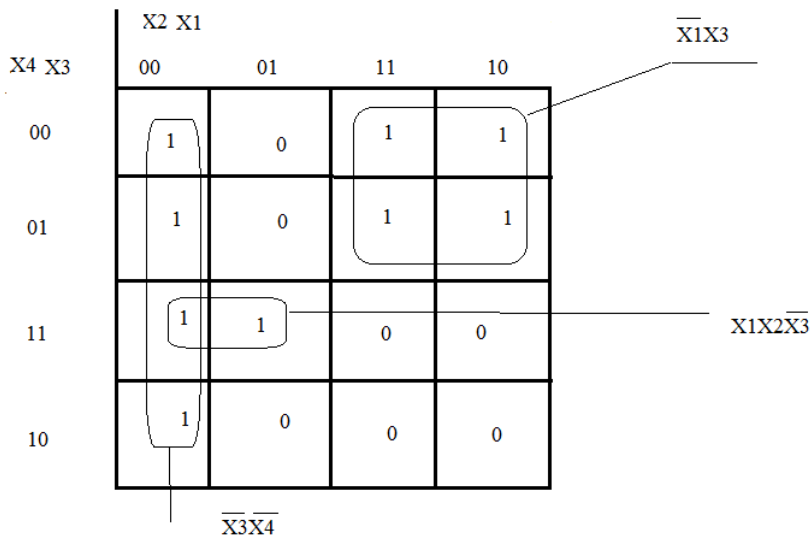


Рис.1.3. Группы на карте Карно для функции четырех переменных.

Соседними между собой являются и крайние левые клетки с крайне правыми, и крайние верхние с крайними нижними (как если бы карты были свернуты в цилиндры по вертикали или по вертикали).

Две стоящие в соседних клетках 1 свидетельствуют о том, что в составе СДНФ имеются члены, которые отличаются значением одной переменной. Как известно, такие члены склеиваются. Склеивание каждой пары уменьшает число входящих в них переменных на единицу. Как нельзя делать (рис.1.4):

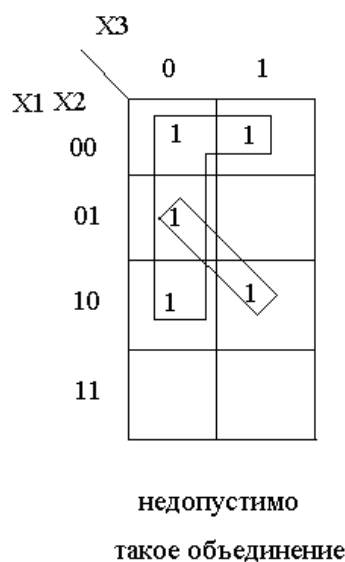


Рис.1.4. Неправильное объединение групп в карте Карно

Пример. Минимизировать полностью определенную логическую функцию ДКЦУ трех переменных $F(X_3, X_2, X_1) = (1,4,5,6)$. Цифры 1,4,5,6 указывают номера наборов входных сигналов, на которых логическая функция F имеет единичные значения, на остальных наборах входных сигналов - нулевые значения, если иное не указано. Провести ее минимизацию с помощью карты Карно.

Решение.

1. Составляем таблицу истинности (ТИ) функционирования комбинационного устройства

Таблица истинности КЦУ. Таблица 1.1.

| X_3 | X_2 | X_1 | F | $\bar{X}_2X_1 + X_3\bar{X}_1$ ПРОВЕРКА |
|-------|-------|-------|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |

2. Записываем СДНФ исходной функции:

$$F(X_n, \dots, X_2, X_1) = \bar{X}_3\bar{X}_2X_1 + X_3\bar{X}_2\bar{X}_1 + X_3\bar{X}_2X_1 + X_3X_2X_1$$

3. Найдем МДНФ, используя карту Карно для трех переменных рис.1.5.

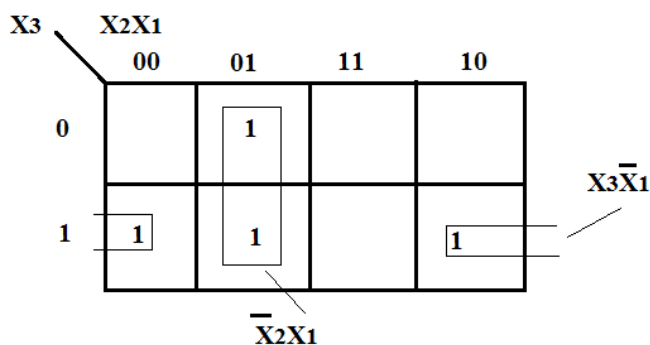


Рис.1.5. Карта Карно для исходной логической функции

Ответ: минимальная дизъюнктивная нормальная форма (МДНФ) имеет следующий вид:

$$F = \bar{X}_2 X_1 + X_3 \bar{X}_1$$

4. Для проверки правильности проведенной минимизации выполним проверку МДНФ на соответствие ее с ТИ исходной функции. Проверка проводится путем подстановки значений переменных в МДНФ. Из этой таблицы видно, полученная минимальная ДНФ эквивалентна исходной функции.

$$\bar{X}_3 \bar{X}_2 X_1 + X_3 \bar{X}_2 \bar{X}_1 + X_3 \bar{X}_2 X_1 + X_3 X_2 X_1 = \bar{X}_2 X_1 + X_3 \bar{X}_1$$

Пример. Минимизировать неполностью определенную логическую функцию четырех переменных $F_1(X_4, X_3, X_2, X_1) = 3,4,5,6,7,11,14[0,1,2,8,9,10,15]\{12,13\}$.

Решение

1. Для неполностью определённых логических функций указываются в ее компактной записи не только номера наборов, на которых она имеет единичные значения, но и номера наборов, на которых она имеет нулевые значения и номера запрещенных наборов:

- на номерах наборов соответствующие цифрам без скобок логическая функция имеет единичные наборы;
- цифры в квадратных скобках, показывают номера наборов, на которых логическая функция имеет нулевые значения;
- числа в фигурных скобках указывают номера наборов, на которых логическая функция не определена (запрещенные наборы).

2. Составим карту Карно для логической функции $F_1(X_4, X_3, X_2, X_1)$ рис.1. 6.

| $X_4 X_3 / X_2 X_1$ | 00 | 01 | 11 | 10 |
|---------------------|------------|------------|-------------|-------------|
| 00 | 0 0 | 1 0 | 3 1 | 2 0 |
| 01 | 4 1 | 5 1 | 7 1 | 6 1 |
| 11 | 12 * | 13 * | 15 0 | 14 1 |
| 10 | 8 0 | 9 0 | 11 1 | 10 0 |

$$F_1(X_4X_3X_2X_1) = 3,4,5,6,7,11,14[0,1,2,8,9,10,15]\{12,13\}$$

Рис.1.6. Карта Карно для неполностью определенной логической функции четырех переменных

В клетках 12 и 13 номера которых совпадают с номерами запрещенных наборов ставим звездочки *.

После анализа расположения единиц и нулей приходим к выводу, что целесообразно в клетке с номером 12 поставить единицу, а в клетку с номером 13 ноль. Проведем минимизацию логической функции F_1 по карте Карно (рис.1.7) и получим структурное уравнения логической функции в виде минимизированной дизъюнктивной нормальной формы (МДНФ).

| X_4X_3 / X_2X_1 | 00 | 01 | 11 | 10 |
|-------------------|-------------|-------------|-------------|-------------|
| 00 | 0 0 | 1 0 | 3 1 | 2 0 |
| 01 | 4 1 | 5 1 | 7 1 | 6 1 |
| 11 | 12 1 | 13 0 | 15 0 | 14 1 |
| 10 | 8 0 | 9 0 | 11 1 | 10 0 |

\bar{X}_4X_3 (grouping cells 3, 7, 11, 15)
 $\bar{X}_3X_2X_1$ (grouping cells 4, 5, 6, 7)
 $X_3\bar{X}_1$ (grouping cells 12, 14)

Рис.1.7. Полностью определенная карта Карно

Ответ: МДНФ логической функции F_1 будет иметь следующий вид:

$$F_1 = \bar{X}_4X_3 + \bar{X}_3X_2X_1 + X_3\bar{X}_1$$

Проверка эквивалентности исходной функции и ее МДНФ осуществляется по ТИ с учетом принятых дополнений.

3) Выполнение логической схемы для каждой выходной функции F_i ДКЦУ

Выполнение цифровой логической схемы для каждой выходной функции ДКЦУ в основном базисе осуществляется по полученным структурным уравнениям каждой МДНФ. Рассмотрим выполнение цифровой логической схемы по структурному

выражению МДНФ логической функции $F_1 = \bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1$. Входами ДКЦУ являются переменные $X_4 X_3 X_2 X_1$, которые изображаются на схеме четырехпроводной шиной, логическое выражение $\bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1$ реализуем при помощи трех инверторов НЕ, трех логических элементов И – двух с двумя входами и одного логического элемента И с тремя входами и одного логического элемента ИЛИ с тремя входами рис.1.8.

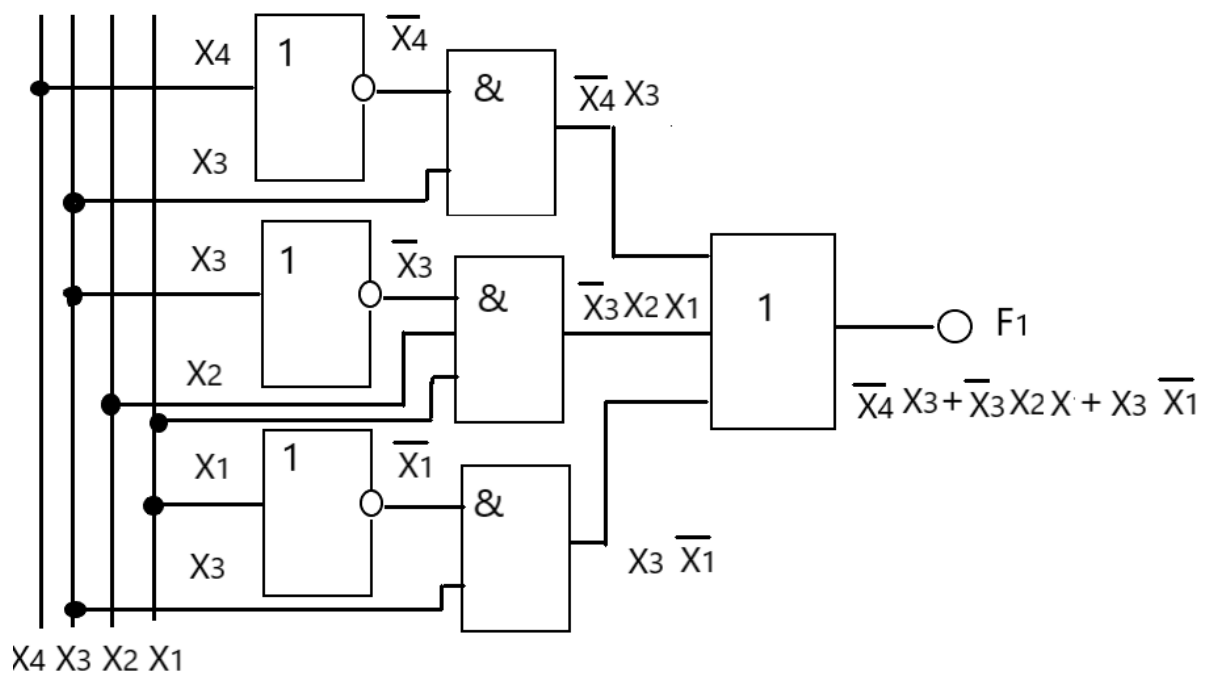


Рис.1.8. Логическая схема функции F_1 выполненная в основном базисе И, ИЛИ и НЕ

Полученную логическую схему необходимо верифицировать на работоспособность в компьютерной программе NI Multisim.

4) Верификация работоспособности цифровых логических схем записанных в МДНФ

Верификация работоспособности цифровых логических схем на работоспособность проводится с помощью компьютерной программы NI Multisim. Для этого в рабочем окне этой программы собирается модель исходной логической схемы функции F_1 (рис.1.9) и проводится моделирование ее работы.

Верификация работоспособности ДКЦУ заключается в получении экспериментальной таблицы истинности его работы и сравнения ее с исходной таблицей истинности.

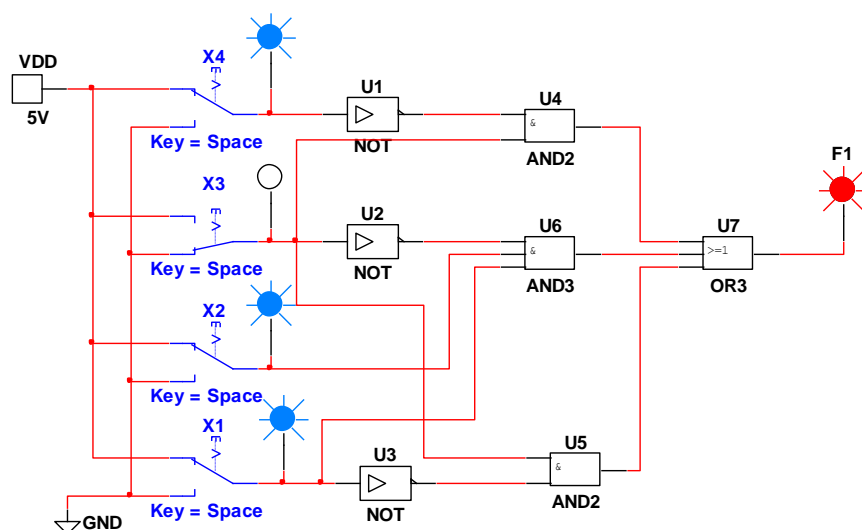


Рис.1.9. Скриншот компьютерной модели при комбинации входных сигналов $(1011)_2$ когда выходная функция равна единице

Для переключения входных переменных $X_4X_3X_2X_1$ в нулевое или единичное состояние в соответствии с требуемым набором используются двухпозиционные ключи Key Space у которых один вывод подсоединен к источнику +5 В (VDD), а другой к «земле»- нулевому потенциалу. Для определения логического состояния (напряжения) входной или выходной величины используются индикаторные светодиоды (пробники). Они горят, если логическое состояние входной или выходной величины единичное. Если исходная ТИ не совпадает с экспериментально полученной ТИ на модели, то схема содержит одну или несколько ошибок, которые должны быть найдены и устранены.

Для многофункциональных ДКЦУ верификацию следует проводить с помощью специальных приборов - «Генератор слов» и «Логический анализатор» и сравнивать экспериментальную временную диаграмму работы с теоретической временной диаграммой. Такой подход позволяет быстро провести полный контроль работоспособности ДКЦУ и выявить сбои в его работе, если таковые будут

Например, для ДКЦУ четырех переменных и с четырьмя выходными функциями, МДНФ, которые имеют следующий вид:

$$F_1 = \overline{\overline{\overline{X_4 X_3 X_2 X_1}}} , F_2 = X_4 X_3 (\overline{X_2 + X_1}) = X_4 X_3 \overline{X_2 X_1} = X_4 X_3 \overline{X_2 X_1}$$

$$F_3 = X_2 X_1 (\overline{X_4 + X_3}) = \overline{X_4 X_3} X_2 X_1 , F_4 = \overline{X_4 X_3 + X_2 X_1} = \overline{X_4 X_3} \times \overline{X_2 X_1}$$

Скриншот модели этого ДКЦУ в компьютерной программе IN Multisim в базе И-НЕ показан на рис.1.10.

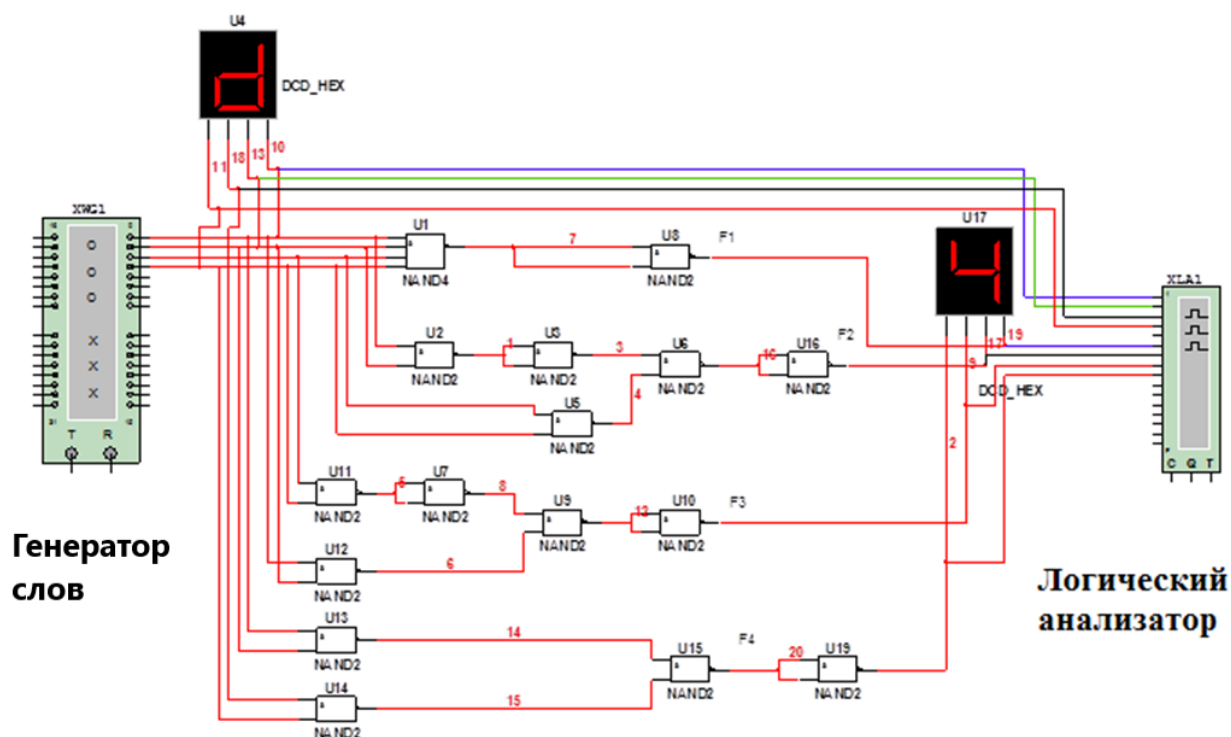


Рис.1.10. Скриншот модели четырех входового ДКЦУ с четырьмя выходными функциями с измерительными приборами

Формирование входных сигналов достигается подключением входов ДКЦУ к «Генератору слов». Генератор слов с заданной частотой на вход ДКЦУ генерирует последовательность комбинаций входных сигналов от 0 до 15. Логический анализатор по своей сути является многолучевым осциллографом и фиксирует изменение входных и выходных сигналов во времени.

Генератор слов с заданной частотой на вход ДКЦУ генерирует последовательность комбинаций входных сигналов от 0 до 15. Логический анализатор по своей сути является многолучевым осциллографом и фиксирует изменение выходных сигналов во времени для каждой входящей комбинации входных сигналов.

Верификация будет заключаться в сравнении полученной экспериментальной временной диаграммы с теоретической временной диаграммой. Для этого следует построить теоретическую временную диаграмму в соответствии с заданной ТИ (здесь она не приводится). Принцип построения теоретической временной диаграммы ДКЦУ можно понять из рис.1.11.

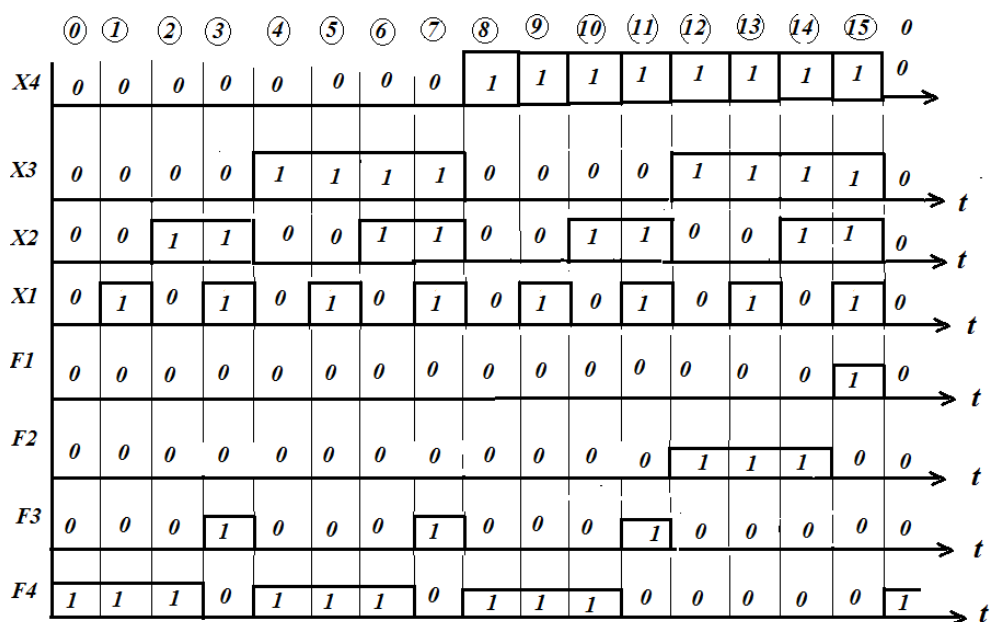


Рис.1.11. Теоретическая временная диаграмма работы ДКЦУ, составленная по ТИ

Экспериментальная временная диаграмма работы ДКЦУ, полученная на экране логического анализатора показана на рис.1.12.

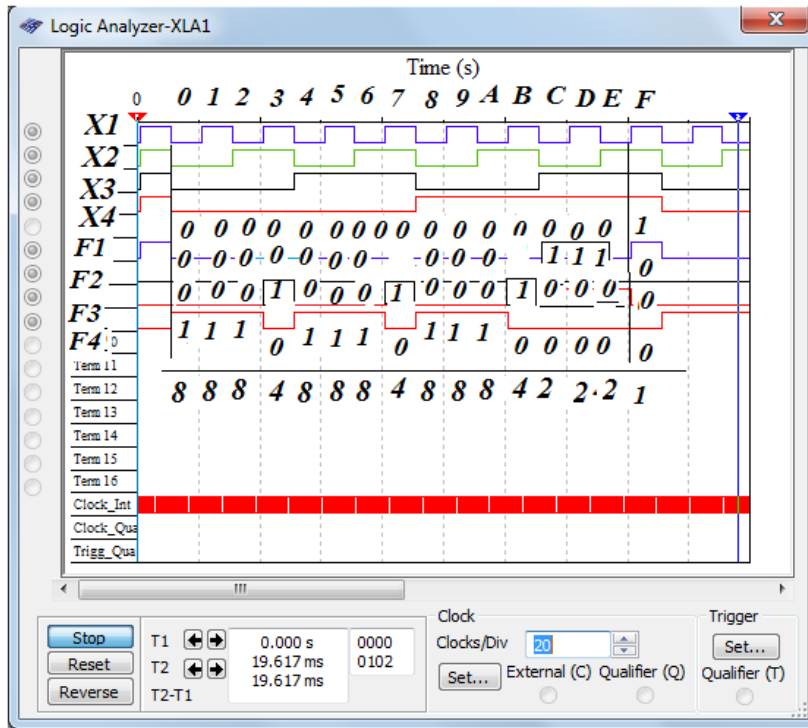


Рис.1.12. Скриншот информационного окна «Логического анализатора»

Сравнение теоретической временной диаграммы (рис.1.11) с экспериментальной временной диаграммой работы КЦУ (рис.1. 12) показывает их идентичность.

5) *Записать МДНФ выходных функций в базисе И-НЕ или ИЛИ-НЕ*

Используя теоремы де Моргана, можно показать, что логический элемент И, ИЛИ, НЕ основного базиса можно синтезировать только на логических элементах ИЛИ - НЕ или И – НЕ (рис.1.13). То есть, любую логическую функцию можем синтезировать с использованием только одного логического элемента: И-НЕ или ИЛИ-НЕ.

Соответственно логическая функция будет синтезирована в базисе И-НЕ или ИЛИ-НЕ рис.1.14 и рис.1.15.

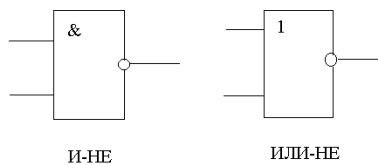


Рис. 1.13. Логические элементы И-НЕ и ИЛИ-НЕ

То есть, одна и та же логическая функция может быть представлена в различных базисах.

Пример. Записать логическую функцию трех переменных

$$F(X_3X_2X_1) = \bar{X}_2\bar{X}_1 + \bar{X}_3\bar{X}_2 + \bar{X}_3\bar{X}_1 \text{ в базисе И-НЕ и в базисе ИЛИ -НЕ.}$$

Решение

а) Запись в базисе И-НЕ

1. Надо избавиться от логической операции сложения.
2. Сделаем двойное отрицание над всем выражением, которое не приводит к изменению функции

$$F(X_3X_2X_1) = \overline{\overline{\bar{X}_2\bar{X}_1 + \bar{X}_3\bar{X}_2 + \bar{X}_3\bar{X}_1}}$$

3. Применяем теорему де Моргана для «нижнего» отрицания, т.е. отрицание дизъюнкции, заменим конъюнкцией их отрицаний, т.е.

$$F(X_3X_2X_1) = \overline{\overline{\bar{X}_2\bar{X}_1} \cdot \overline{\overline{\bar{X}_3\bar{X}_2}} \cdot \overline{\overline{\bar{X}_3\bar{X}_1}}}$$

Ответ: исходная функция в базисе И-НЕ имеет следующий вид:

$$F(X_3X_2X_1) = \overline{\overline{\bar{X}_2\bar{X}_1} \cdot \overline{\overline{\bar{X}_3\bar{X}_2}} \cdot \overline{\overline{\bar{X}_3\bar{X}_1}}} \text{ , логической операции сложения уже нет.}$$

б) Запись в базисе ИЛИ-НЕ.

1. Надо избавиться от логической операции умножения.
2. Для этого, сделаем двойное отрицание над каждой конъюнкцией, которое не приводит к изменению функции

$$F(X_3X_2X_1) = \overline{\overline{\bar{X}_2\bar{X}_1}} + \overline{\overline{\bar{X}_3\bar{X}_2}} + \overline{\overline{\bar{X}_3\bar{X}_1}}$$

3. Применяем теорему де Моргана для «нижнего» отрицания, т.е. отрицание конъюнкции, заменим дизъюнкцией их отрицаний, т.е.

$$F(X_3X_2X_1) = \overline{\overline{\bar{X}_2\bar{X}_1}} + \overline{\overline{\bar{X}_3\bar{X}_2}} + \overline{\overline{\bar{X}_3\bar{X}_1}} = \overline{\bar{X}_2 + \bar{X}_1} + \overline{\bar{X}_3 + \bar{X}_2} + \overline{\bar{X}_3 + \bar{X}_1}$$

Ответ: исходная функция в базисе И-НЕ имеет следующий вид:

$$F(X_3X_2X_1) = \overline{\bar{X}_2 + \bar{X}_1} + \overline{\bar{X}_3 + \bar{X}_2} + \overline{\bar{X}_3 + \bar{X}_1}$$

б) Выполнение цифровых логических схемы для каждой выходной логической функции F_i в заданном базисе.

Например, на рис.1.16 показана логическая схема выполненная по структурному уравнению МДНФ логической функции $F(X_3X_2X_1) = \overline{\overline{\overline{X_2}\overline{X_1}}} \cdot \overline{\overline{\overline{X_3}\overline{X_2}}} \cdot \overline{\overline{\overline{X_3}\overline{X_1}}}$ в базисе И-НЕ.

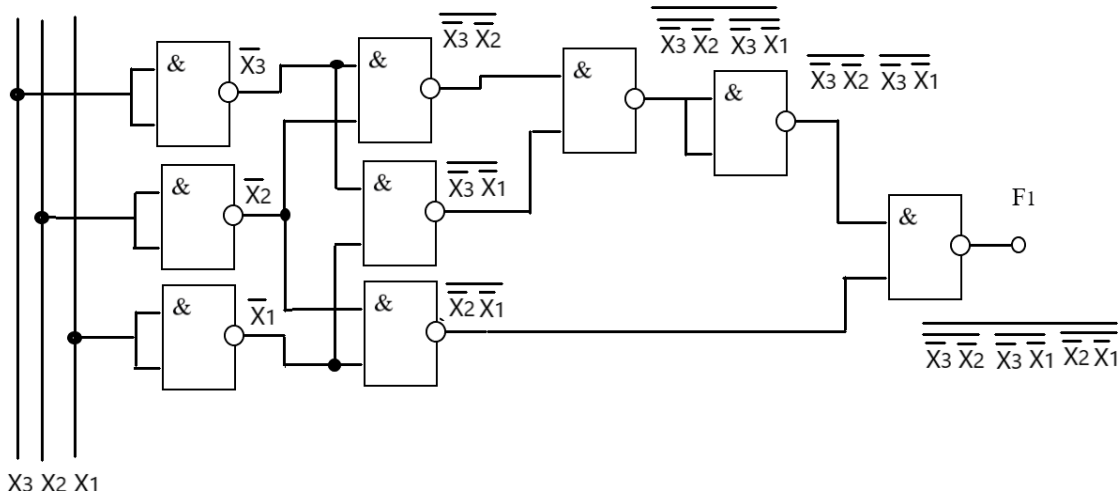


Рис.1.16. Логическая схема, реализующая функцию $F(X_3X_2X_1)$ выполненная в базисе И-НЕ

Логическая схема реализована на двухвходовых логических элементах И-НЕ.

б) Верификация работоспособности логических схем в заданном базисе

Верификация логических схем, записанных в базисе И-НЕ или ИЛИ-НЕ проводится аналогично, верификации логических схем, записанных в основном базисе, рассмотренных в пункте 4 (рис.1.17)

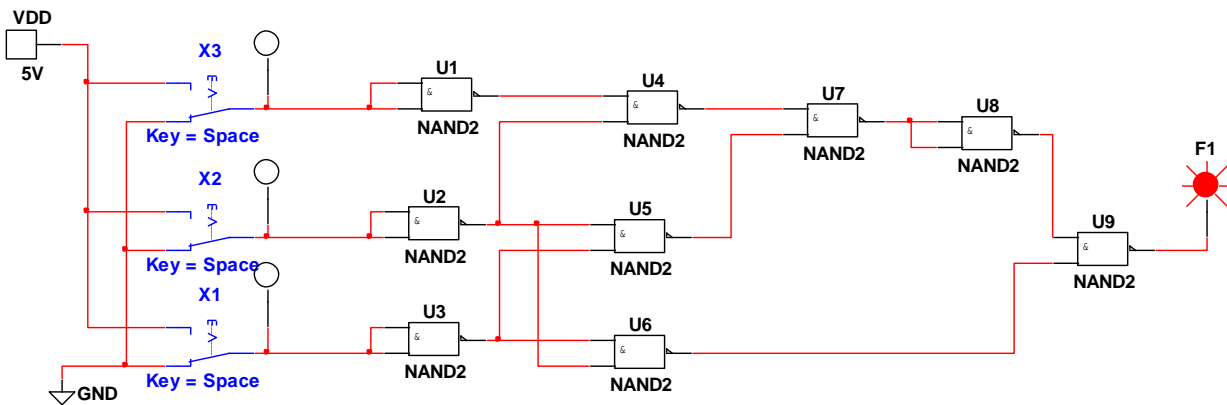


Рис.1.17. Скриншот компьютерной модели, выполненной в базисе И-НЕ

Если верификация модели на работоспособность прошла удачно, то после этого необходимо приступить к минимизации (оптимизации) логической схемы по количеству используемых логических элементов И-НЕ.

7) Минимизации количества ЛЭ в комбинационном цифровом устройстве

Минимизация производится за счет использования общих логических элементов в нескольких узлах, реализующих одинаковые логические операции в различные выходные функции автомата F_i . После удаления дублирующих логических элементов необходимо выполнить окончательную логическую схему автомата в заданном базисе и провести окончательную верификацию работоспособности спроектированного комбинационного цифрового устройства.

8) Выбор интегральных микросхем и разработка электрической принципиальной схемы комбинационного цифрового устройства

Используя окончательно минимизированную логическую схему комбинационного цифрового устройства (пункт 7), производим подсчет необходимого количества логических элементов и производим выбор интегральных схем, на которых будет выполнено комбинационное цифровое устройство. В этом пункте необходимо указать основные характеристики выбранной серии интегральной микросхемы. После выбора типа интегральной микросхемы следует приступить к выполнению электрической принципиальной схемы. Электрическая принципиальная схема является частным случаем электрической схемы цифровой техники. Электрическая принципиальная схема — это наиболее подробная схема. Она позволяет полностью воспроизвести цифровое устройство. На принципиальной схеме изображают все электрические элементы или устройства, необходимые для осуществления и контроля в изделии заданных электрических процессов, все электрические связи между ними, а также электрические элементы (соединители, зажимы и т.д.), которыми зажимаются входные и выходные цепи. Все узлы, блоки, части, элементы, микросхемы показываются в виде прямоугольников с соответствующими надписями. Более подробные сведения описаны в ГОСТ 2.702-2011 и ГОСТ 2.708-81.

Логические элементы и другие цифровые устройства также выпускаются промышленностью в составе серий интегральных схем (микросхемы) рис.1.16.

В настоящее время наиболее широко используются следующие логики: ТТЛ, ТТЛШ, КМОП, ЭСЛ.

ТТЛ – К155, КМ155, К133; ТТЛШ- 530, КР531, КМ531, КР1531, 533, К555, КМ555, 1533, КР1533; КМОП- 564, К561, 1564, КР1554; ЭСЛ- 100, К500, К1500.

Каждая серия микросхемы характеризуется некоторым набором параметров, определяющим применения ее в различных цифровых устройствах и их совместной работой:

- Быстродействие – характеризует время задержки прохождения сигнала t_3 ;
- Максимальная рабочая частота – $f_{\text{макс}}$;
- Нагрузочная способность – характеризуется коэффициентом объединения по входу $K_{\text{об}}$ и коэффициентом разветвления по выходу $K_{\text{раз}}$;

Величина $K_{\text{об}}$ – это число логических входов, $K_{\text{раз}}$ – максимальное число однотипных логических элементов, которые могут быть подключены к выходу данного логического элемента. Типичные значения их таковы $K_{\text{об}} = 2 \dots 8$, $K_{\text{раз}} = 4 \dots 10$. Для логических элементов с повышенной нагрузочной способностью $K_{\text{раз}}$ может достигать значений $20 \dots 50$.

- Помехоустойчивость – это такое максимально допустимый уровень напряжения помехи на входе ЛЭ, при котором еще не происходит изменение выходных уровней ЛЭ на выходе.
- Мощность, потребляемая микросхемой от источника питания (средне потребляемая);
- Напряжение питания;
- Входные пороговые напряжения высокого и низкого уровня - $U_{\text{вх 1 порог}}$ и $U_{\text{вх 0 порог}}$;
- Выходные пороговые напряжения высокого и низкого уровня - $U_{\text{вых 1 порог}}$ и $U_{\text{вых 0 порог}}$.

Степень интеграции N логических элементов цифровых микросхем определяется числом простейших логических элементов – обычно с двумя входами на кристалле. На рис.1.18 приведены условно-графические обозначения некоторых микросхем с тремя и четырьмя логическими элементами с тремя и двумя входами.

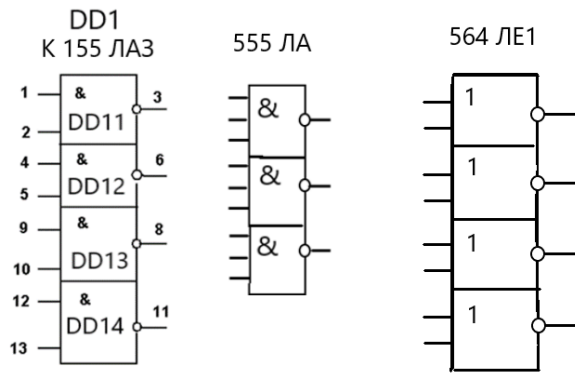


Рис. 1.18. Логические элементы в интегральном исполнении в виде микросхемы

Сравнительные характеристики логических элементов разных серий приведены в таблице 1.2.

Сравнительные характеристики логических элементов разных серий. Таблица 1. 3.

| Параметр | Тип логики | | | |
|---|------------|------------|-------|----------------|
| | ТТЛ | ТТЛШ | ЭСЛ | КМОП |
| Напряжение питания E_p , В | 5 | 5 | - 5,2 | 3...15 |
| Напряжение лог 1, В | 2,4 | 2,7 | -0,9 | $\approx E_p$ |
| Напряжение лог 0, В | 0,4 | 0,5 | -1,6 | ≈ 0 |
| Быстродействие $t_{зр}$, нс | 20 | 5 | 2,9 | 50 |
| Помехоустойчивость, В | $\geq 0,4$ | $\geq 0,5$ | 0,2 | $\geq 0,3 E_p$ |
| Потребляемая мощность $P_{пот}$, мВт | 22 | 19 | 35 | 0,1 |
| Коэффициент разветвления по выходу К раз | 10 | 10 | 15 | 50 |
| Коэффициент объединения по входу, К об | 8 | 4 | 9 | 2...5 |

На электрической принципиальной схеме интегральная схема обозначается DDn с порядковым номером n (Digital Device) в электрической схеме - а ее отдельные логические элементы $DD nm$, указывает порядковый номер используемого логического элемента в этой микросхеме.

Так, например, обозначение $DD1$ на рис.1.19 означает микросхема цифровая, логическая, цифра 1 указывает порядковый номер ее в принципиальной электрической схеме. Вторая цифра в обозначении $DD11$ указывает порядковый номер используемого логического элемента в этой микросхеме.

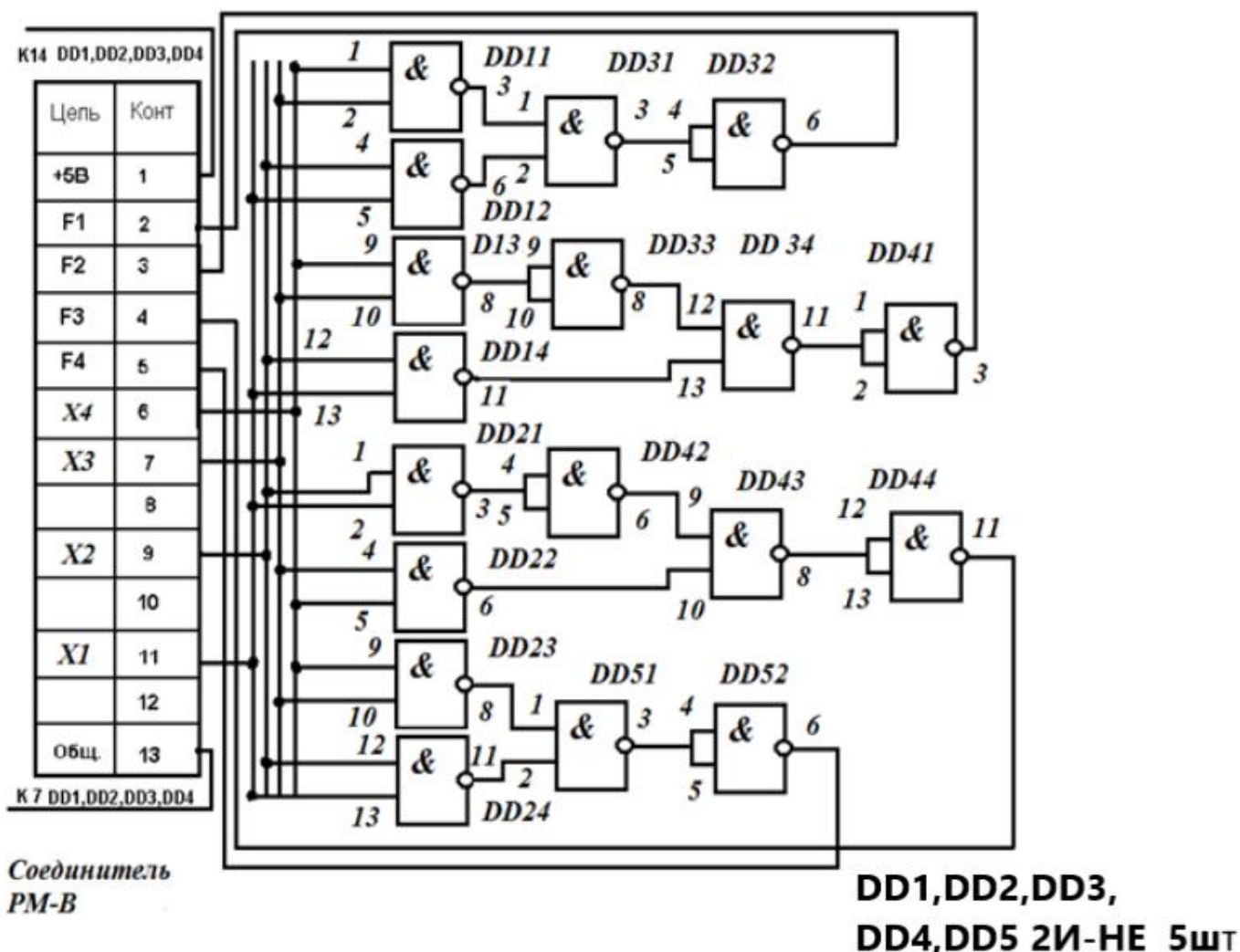


Рис.1.19. Пример выполнения электрической принципиальной схемы многофункционального ДКЦУ

Если цифровое устройство приходится выполнять на микросхемах разных типов, то для согласования логических уровней необходимо применять преобразователи уровней.

9. Расчет быстродействия комбинационного цифрового устройства

Логический элемент в КДЦУ реализует только одну логическую функцию. Реализация логической функции происходит не мгновенно, а с некоторой задержкой, то есть выходной сигнал логического элемента F_i появится на выходе логического элемента не сразу, а через некоторое время от момента времени поступления входного сигнала. Это время называется временем задержки логического элемента $-t_{зд\ ЛЭ}$. У каждой серии микросхем это время разное и определяется технологией ее изготовления, даже если они выполняют одинаковые логические функции. В цифровых устройствах сигнал последовательно проходит через несколько логических элементов. Расчет быстродействия КДЦУ сводится к определению времени задержки $t_{зд\ КДЦУ}$, т.е. появления выходного сигнала F_i КДЦУ от момента поступления входного сигнала X_i КДЦУ. Это время определяется суммой задержек на отдельных логических элементах по электрической принципиальной схеме по пути с наибольшим числом логических элементов. Например, время задержки сигнала в одном ЛЭ 155 серии $t_{зд\ ЛЭ}$ составляет 20 нс, а на электрической схеме КДЦУ (рис 1.20) имеет самый длинный путь прохождения сигнала через четыре логических элемента, таким образом, время задержки КДЦУ определяется как- $t_{зд\ КДЦУ} = 4 \times 20 \text{ нс} = 80 \text{ нс}$. Максимальная частота, с которой КДЦУ может обрабатывать входные величины будет $f_{max} = 1/80 \cdot 10^{-9} = 12,5 \text{ МГц}$.

2. ДОМАШНЕЕ ЗАДАНИЕ

Спроектировать многофункциональное дискретное комбинационное цифровое устройство (ДКЦУ) для автомата управления технологической операцией и провести верификацию его работоспособности в компьютерной среде NI Multisim, выполнить его электрическую принципиальную схему по следующей словесной формулировке:

«Автомат предназначен для проверки изделия перед отправкой с завода потребителю на соответствие четырех важных его параметров X_4 , X_3 , X_2 , и X_1 диапазону допустимых значений. Для измерения применяют четыре цифровых датчика. Датчик выдает 1, если измеряемая величина находится в пределах диапазона допустимых значений. Если измеряемая величина находится вне диапазона допустимых значений, то датчик выдает 0. Сортировка изделия происходит с помощью автомата по значению двух выходных функций F_1 и F_2 , которые задаются таблицей истинности, приведенной в вариантах домашнего задания. Автомат должно иметь максимально простую схему, удовлетворяющую описанному выше заданию. Схема должна быть реализована в базисе И-НЕ или ИЛИ-НЕ в соответствии с вариантом.

Требуется:

1. синтезировать поэтапно максимально простую схему, удовлетворяющую описанному выше заданию. Схема должна быть реализована в базисе И-НЕ или ИЛИ-НЕ;
2. провести верификацию работоспособности КЦУ в компьютерной среде Multisim в основном базисе и в базисе И-НЕ или ИЛИ-НЕ;
3. выбрать промышленные интегральные схемы для окончательной реализации автомата и рассчитать быстродействие синтезируемого устройства;
4. выполнить чертеж электрической принципиальной схемы в соответствии с ГОСТ для разработки печатной платы;
5. оформить домашнее задание в соответствии с указанными требованиями для представления его преподавателю на проверку.

Примечание:

1. номера вариантов домашнего задания для группы студентов задаются преподавателем;
2. логическую и электрическую принципиальную схемы следует выполнять в соответствии с правилами описанными в ГОСТ 2.702-2011 и ГОСТ 2.708-81;
3. расчетно-графическую часть домашнего задания выполняется на листах формата А4 с использованием компьютера. При оформлении домашнего задания необходимо

использовать пример выполнения все пунктов домашнего задания, приведенного в учебном пособии.

3. ПРОВЕРКА, ЗАЩИТА И ОЦЕНКА ДОМАШНЕГО ЗАДАНИЯ

Проверку выполненного домашнего задания осуществляет преподаватель, ведущий семинарские занятия. Работа может высылаться на электронную почту преподавателя или в печатном виде сдаваться ему на занятии. К домашнему заданию обязательно прилагается файл верификации работоспособности синтезированного цифрового устройства в компьютерной программе моделирования NI Multisim.

По результатам проверки домашнего задания преподаватель пишет отзыв на проверенное домашнее задание и высылает его на электронную почту студента.

Зачтенные домашние задания допускаются к защите, не зачтенные домашние задания возвращается студентам для доработки или написания заново.

Не допускаются к защите и возвращаются для повторного написания так же:

- работы, не соответствующие своему варианту домашнего задания;
- полностью или в значительной степени выполненные не самостоятельно, путём сканирования, ксерокопирования или механического переписывания данного методического пособия или другой литературы;
- работы с небрежным оформлением.

Оценка в баллах домашнего задания осуществляется преподавателем после защиты, которая проводится в установленные расписанием семинаров сроки. Студент, не представивший домашнего задания в срок или не защитивший его, не допускается к сдаче зачета или экзамена по дисциплине «Электротехника и электроника».

При защите работы студент должен кратко изложить её основное содержание, сформулировать основные выводы, дать полные ответы на все замечания, высказанные преподавателем. При получении неудовлетворительной оценки работа должна быть исправлена с учётом высказанных замечаний и представлена на повторную проверку и защиту в сроки, установленные преподавателем.

Оценка за домашнее задание в баллах выставляется на титульном листе домашнего задания, и заносится в карточку текущей успеваемости студента

4. ПРИМЕР ПОЭТАПНОГО ВЫПОЛНЕНИЯ ДОМАШНЕГО ЗАДАНИЯ

Этап 1. Формулировка домашнего задания в соответствии с вариантом

Спроектировать двух функциональное дискретное комбинационное цифровое устройство (ДКЦУ) – автомата управления технологической операцией сортировки изделия на соответствие его важных четырех параметров $X_4X_3X_2X_1$ диапазону допустимых значений по значению двух выходных логические функций F_1 и F_2 , которые задаются следующим образом:

$$F_1(X_4X_3X_2X_1) = 3,4,5,6,7,11,14[0,1,2,8,9,10,15]\{12,13\}$$

$$F_2(X_4X_3X_2X_1) = 2,6,8,9,10,11,15[0,1,3,4,5,7,14]\{12,13\}$$

На рис.4.1 представлена блок - схема проектируемого ДКЦУ.

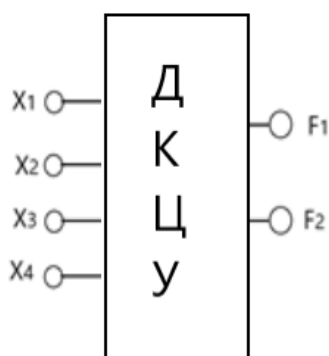


Рис.4.1. Входы и выходы искомой схемы ДКЦУ

Требуется спроектировать максимально простую схему, реализующую выходных логические функций F_1 и F_2 в базисе И-НЕ.

Этап 2. Составление таблицы истинности ДКЦУ. Минимизация выходных функций F_1 и F_2

Таблица истинности 4.1 составляется в соответствии с заданными значениями выходных функций, где числа без скобок указывают номера наборов входных сигналов, на которых логические функции имеют единичные значения, числа в квадратных скобках указывают номера наборов входных сигналов, на которых

логические функции имеют нулевые значения и числа в фигурных скобках указывают номера наборов запрещенных входных сигналов.

Таблица истинности ДКЦУ. Таблица 4.1

| № набора | X_4 | X_3 | X_2 | X_1 | F_1 | F_2 |
|----------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | * | * |
| 13 | 1 | 1 | 0 | 1 | * | * |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 |

Минимизацию логических функций F_1, F_2 будем осуществлять по карте Карно (рис.4.2):

| X_4X_3 / X_2X_1 | 00 | 01 | 11 | 10 |
|-------------------|------------|------------|-------------|-------------|
| 00 | 0 0 | 1 0 | 3 1 | 2 0 |
| 01 | 4 1 | 5 1 | 7 1 | 6 1 |
| 11 | 12 * | 13 * | 15 0 | 14 1 |
| 10 | 8 0 | 9 0 | 11 1 | 10 0 |

Рис.4.2. Карта Карно для записи исходной логической функции $F_1(X_4X_3X_2X_1)$

$$F_1(X_4X_3X_2X_1) = 3,4,5,6,7,11,14[0,1,2,8,9,10,15]\{12,13\}$$

До определим исходную карту Карно (рис.4.2) и проведем минимизацию логической функции F_1 рис.4.3. Получим структурное уравнение логической функции F_1 в виде минимизированной дизъюнктивной нормальной формы (МДНФ):

$$F_1 = \bar{X}_4X_3 + \bar{X}_3X_2X_1 + X_3\bar{X}_1$$

| X_4X_3 / X_2X_1 | 00 | 01 | 11 | 10 |
|-------------------|-------------|-------------|-------------|-------------|
| 00 | 0 0 | 1 0 | 3 1 | 2 0 |
| 01 | 4 1 | 5 1 | 7 1 | 6 1 |
| 11 | 12 1 | 13 0 | 15 0 | 14 1 |
| 10 | 8 0 | 9 0 | 11 1 | 10 0 |

\bar{X}_4X_3 (объединяет ячейки 3, 7)
 $\bar{X}_3X_2X_1$ (объединяет ячейки 4, 5, 12, 13)
 $X_3\bar{X}_1$ (объединяет ячейки 3, 7, 11, 15)

Рис.4.3. Доопределенная карта Карно логической функции F_1

Аналогично составим карту Карно для исходной выходной функции F_2 (рис.4.4):

| | | | | |
|-------------------|------|------|------|------|
| X_4X_3 / X_2X_1 | 00 | 01 | 11 | 10 |
| 00 | 0 0 | 1 0 | 3 0 | 2 1 |
| 01 | 4 0 | 5 0 | 7 0 | 6 1 |
| 11 | 12 * | 13 * | 15 1 | 14 0 |
| 10 | 8 1 | 9 1 | 11 1 | 10 1 |

Рис.4.4. Карта Карно, для записи исходной логической функции $F_2(X_4X_3X_2X_1)$

$$F_2(X_4X_3X_2X_1) = 2,6,8,9,10,11,15[0,1,3,4,5,7,11,14]\{12,13\}$$

Аналогично доопределим и проведем минимизацию логической функции F_2 (рис.4.5)

| | | | | |
|-------------------|------|------|------|--------------------------------------|
| X_4X_3 / X_2X_1 | 00 | 01 | 11 | $\overline{X_4X_2\overline{X_1}}$ 10 |
| 00 | 0 0 | 1 0 | 3 0 | 2 1 |
| 01 | 4 0 | 5 0 | 7 0 | 6 1 |
| 11 | 12 0 | 13 1 | 15 1 | 14 0 |
| 10 | 8 1 | 9 1 | 11 1 | 10 1 |

$X_4\overline{X_3}$

X_4X_1

Рис.4.5. Доопределенная карта Карно логической функции F_2

МДНФ логической функции F_2 будет иметь следующий вид:

$$F_2 = X_4\overline{X_3} + X_4X_1 + \overline{X_4}X_2\overline{X_1}$$

Этап 3. Выполнение логических схем, реализующих выходные функции ДКЦУ

В соответствии со структурными уравнениями МДНФ выходных функций ДКЦУ $F_1 = \bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1$ и $F_2 = X_4 \bar{X}_3 + X_4 X_1 + \bar{X}_4 X_2 \bar{X}_1$

выполним их логические схемы, реализующие эти функции в основном базисе (рис.4.6 и рис.4.7)

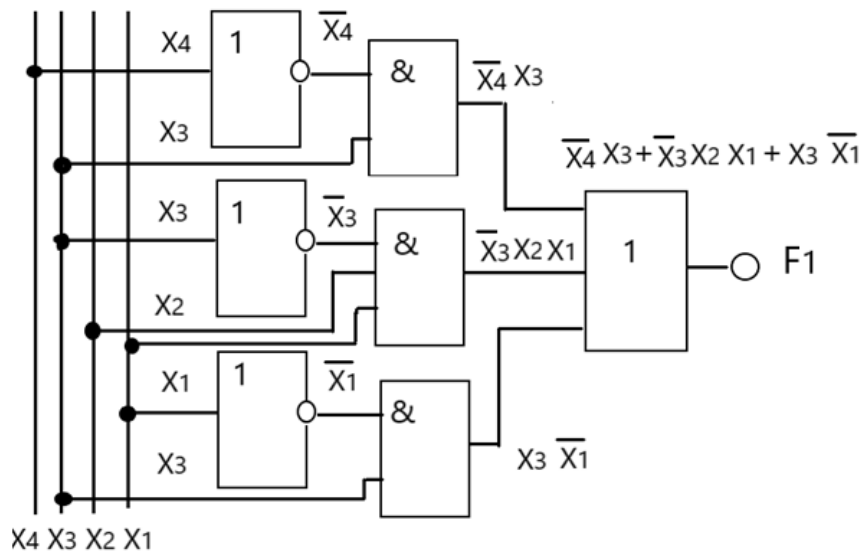


Рис.4.6. Логическая схема, реализующая логическую функцию F_1

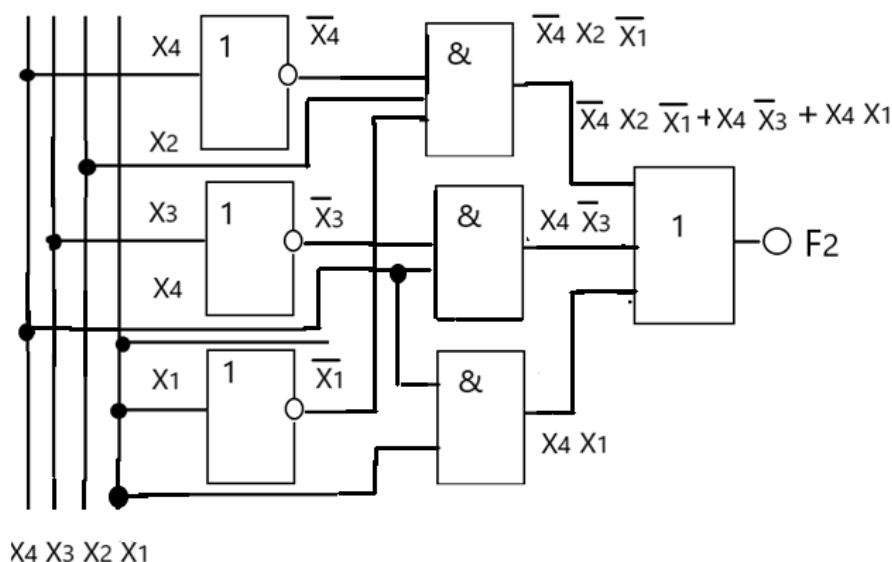


Рис.4.7. Логическая схема, реализующая логическую функцию F_2

Из этих схем видно, что обе логические схемы имеют одинаковые логические элементы, инвертирующие входные величины X_4 , X_3 и X_1 как для функции F_1 , так и для функции F_2 . Поэтому при выполнении окончательной схемы ДКЦУ выходные

сигналы от этих ЛЭ можно использовать для реализации сразу двух выходных логических функций F_1 и F_2 .

Этап 4. Верификация работоспособности цифровой логической схемы

На рабочем столе компьютерной NI Multisim соберем модели этих логических схем (рис.4.8 и рис.4.9) по схемам показанным на рис.4.6 и рис.4.7.

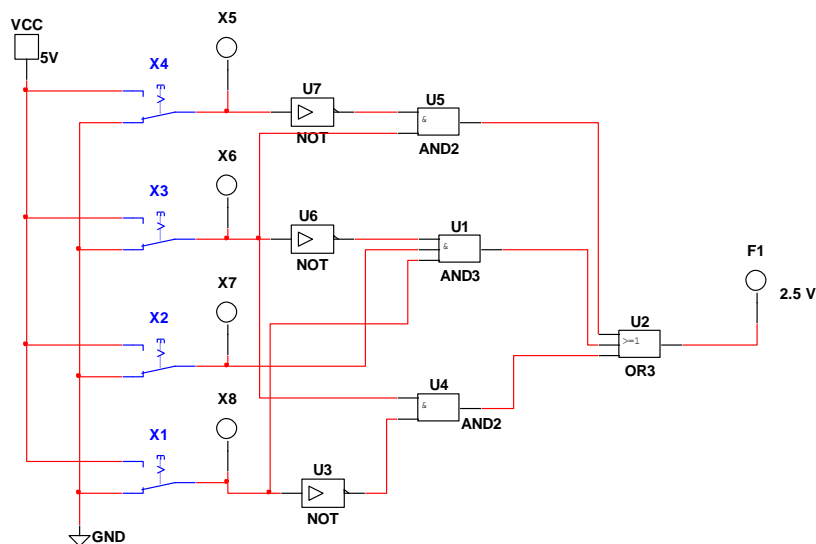


Рис.4.8. Скриншот логической схемы в компьютерной программе моделирования NI Multisim, реализующую МДНФ логической функции F_1 в основном базисе

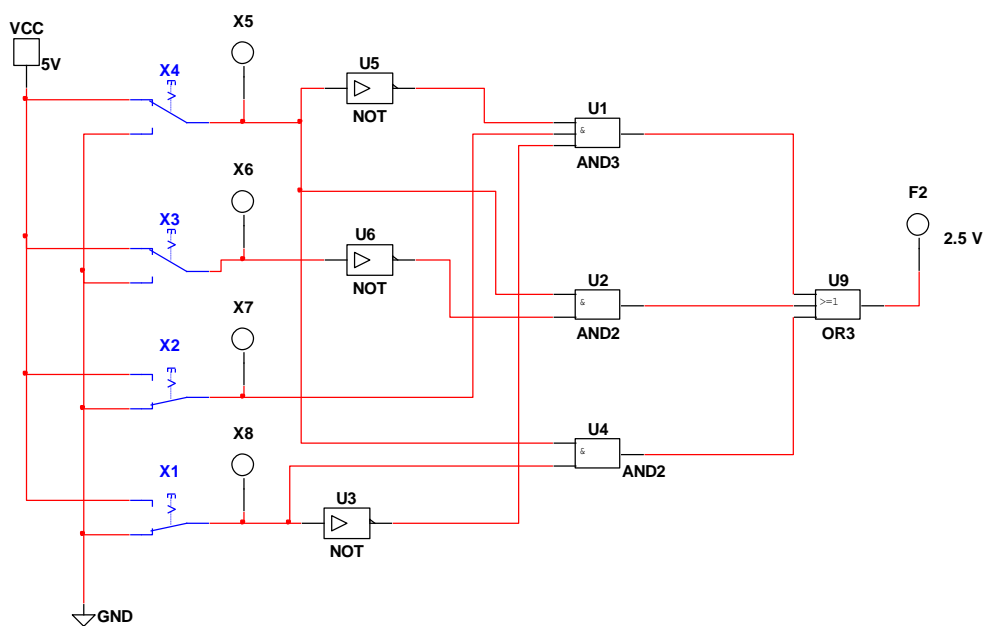


Рис.4.9. Скриншот логической схемы в компьютерной программе NI Multisim, реализующую МДНФ логической функции F_2 в основном базисе

Путем изменения комбинаций входных сигналов от 0 до 15 следует провести экспериментальную проверку функционирования этих схем и результаты занести в таблицы истинности логических функций F_1 и F_2 соответственно в таб.4. 2. Изменение потенциала входного сигнала 0 В или 1(+5В) осуществляется путем переключения ключей X_4, X_3, X_2 и X_1 в верхнее положение (1) и 0 в нижнее положение. При подачи высокого потенциала на соответствующий вход загорается соответствующая индикаторная лампочка (пробник). При тестировании каждой схемы следует иметь в виду, что X_1 является младшим разрядом (МР), а X_4 – старшим разрядом (СР) при определении комбинации входных сигналов в двоичной системе счисления. Значение выходной функции так же определяется индикаторной лампочкой (пробником) – светит, значит подан единичный сигнал (лог.1), не светит -нулевой сигнал (лог.0).

Экспериментальная таблица истинности ДКЦУ. Таблица 4.2

| № набора | X_4 | X_3 | X_2 | X_1 | F_1 | F_2 |
|----------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 | 0 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 | 1 |

Сравнивая заданную таблицу истинности 4.1 ДКЦУ и полученную экспериментально на модели ДКЦУ в компьютерной программе NI Multisim таблицу истинности 4.2 можно сделать вывод, что полученные цифровые схемы, реализующие выходные логические функции F_1 и F_2 функционируют в соответствии с заданием.

Этап 5. Запись полученных минимизированных уравнений логических функций F_1 и F_2 в базисе И-НЕ и выполнение их цифровых схем в этом базисе.

Переход записи выходных функций в основном базисе к записи в базисе И-НЕ осуществляется с использованием теоремы Де Моргана :

$$F_1 = \bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1 = \overline{\overline{\bar{X}_4 X_3} \cdot \overline{\bar{X}_3 X_2 X_1} \cdot \overline{X_3 \bar{X}_1}}$$

$$F_2 = X_4 \bar{X}_3 + X_4 X_1 + \bar{X}_4 X_2 \bar{X}_1 = \overline{\overline{X_4 \bar{X}_3} \cdot \overline{X_4 X_1} \cdot \overline{\bar{X}_4 X_2 \bar{X}_1}}$$

По полученным структурным уравнениям выполняем цифровые схемы, реализующие эти логические функции F_1 и F_2 (рис.4.10 и рис.4.11)

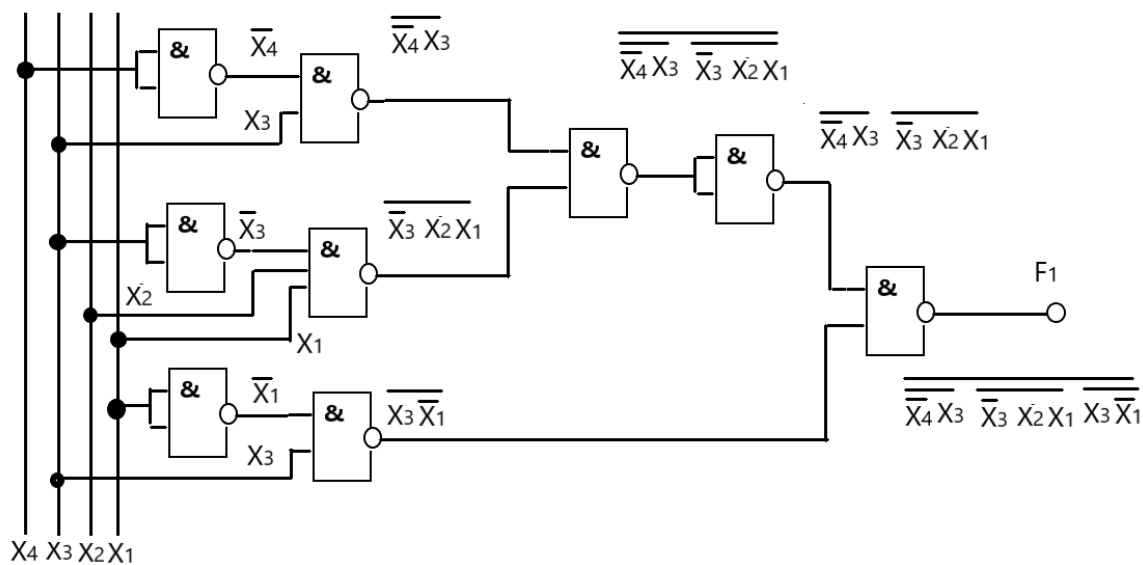


Рис.4.10. Логическая схема выходной функции F_1 в базисе И-НЕ

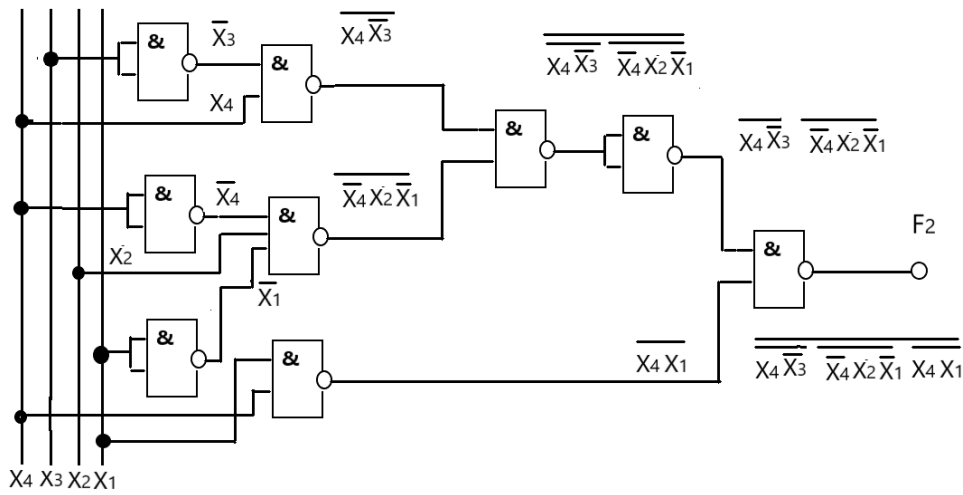


Рис.4.11. Логическая схема выходной функции F_2 в базисе И-НЕ

Логические схемы ДКЦУ выполнены из двух- и трехходовых логических элементов И-НЕ.

Этап 6. Верификация работоспособности логических схем в базисе И-НЕ

Проведем верификация ДКЦУ в базисе И-НЕ для каждой выходной функции F_1 и F_2 на соответствие заданной ТИ и экспериментальной ТИ, полученной на моделях в компьютерной программе моделирования NI Multisim (рис.4.12 и рис.4.13) собранных в соответствии с логическими схемами приведенных на рис.4.10 и рис.4.11.

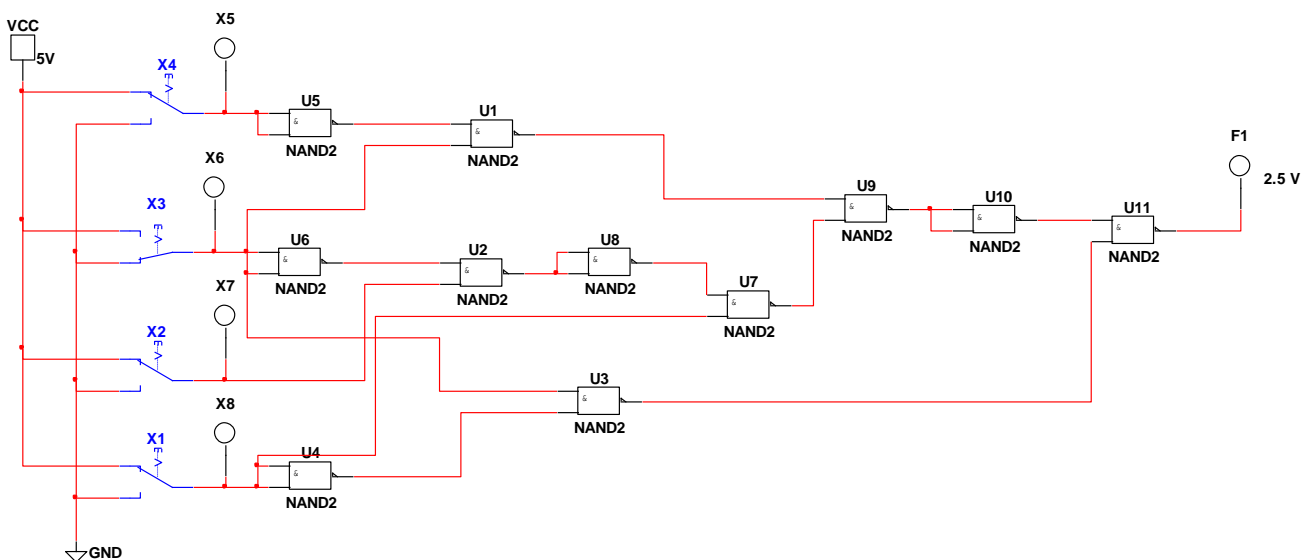


Рис.4.12. Скриншот логической схемы в компьютерной программе моделирования NI Multisim, реализующую логическую функцию F_1 в базисе И-НЕ

Экспериментальное исследование функционирования проводится аналогично, описанному выше исследованию цифровых схем, собранных в основном базисе. По результатам этих испытаний заполняется экспериментальная таблица 4.3.

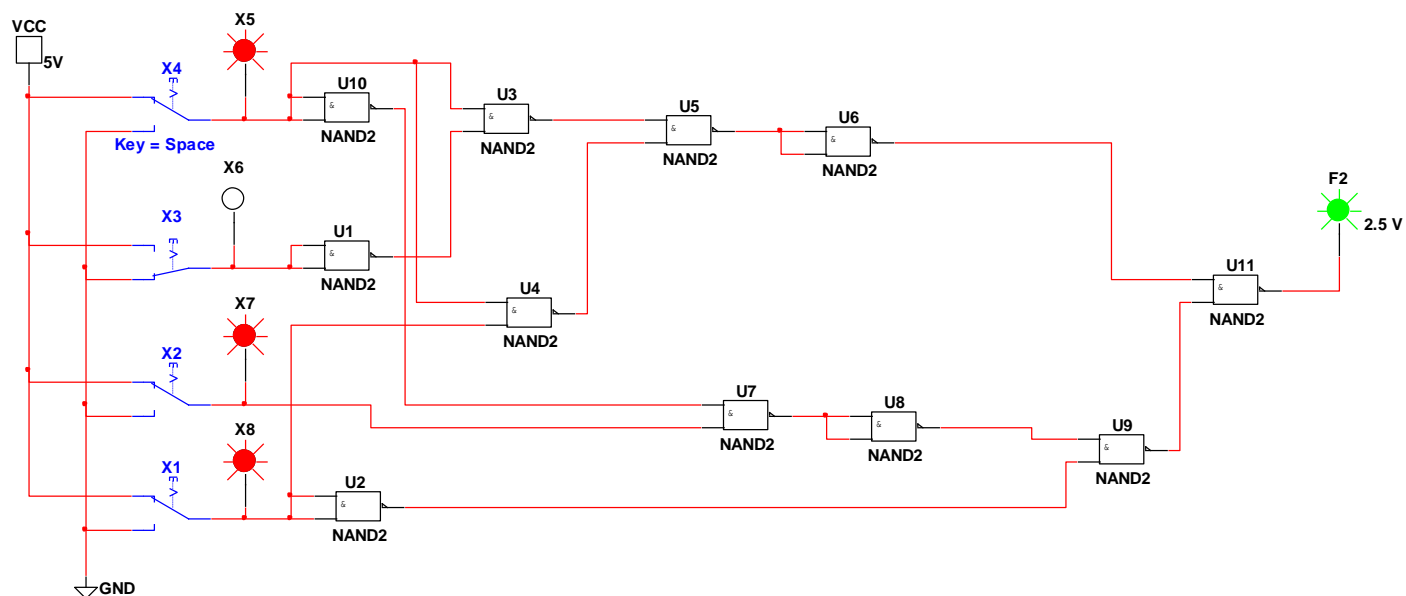


Рис.4.13. Скриншот логической схемы в компьютерной программе NI Multisim, реализующую логическую функцию F_2 в базисе И-НЕ

При моделировании цифровых схем, реализующих выходные логические функции F_1 и F_2 в компьютерной программе NI Multisim использовались двухвходовые логические элементы И-НЕ. Это связано с целью унификации элементной базы и с тем, что большинство промышленно выпускаемые интегральные схемы состоят из двухвходовых логических элементов И-НЕ.

Экспериментальная таблица истинности КЦУ. Таблица 4.3.

| № набора | X_4 | X_3 | X_2 | X_1 | F_1 | F_2 |
|----------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 | 0 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 | 1 |

Сравнивая заданную таблицу истинности 4.1 ДКЦУ и полученную экспериментально на модели ДКЦУ в компьютерной программе NI Multisim таблицу истинности 4.3 можно сделать вывод, что цифровые схемы реализованные в базисе И-НЕ, реализующие выходные логические функции F_1 и F_2 функционируют в соответствии с заданием.

Этап 7. Минимизации количества логических элементов в ДКЦУ

В качестве общих логических элементов для логических схем F_1 и F_2 были использованы логические элементы, реализующие инверсию входных переменных: $\bar{X}_1, \bar{X}_3, \bar{X}_4$ (рис.4.10 и рис.4.11). На рис.4.14 представлена окончательная цифровая

схема проектируемого ДКЦУ, реализующую логические функции F_1 и F_2 в базисе И-НЕ с минимальным количеством логических элементов И-НЕ.

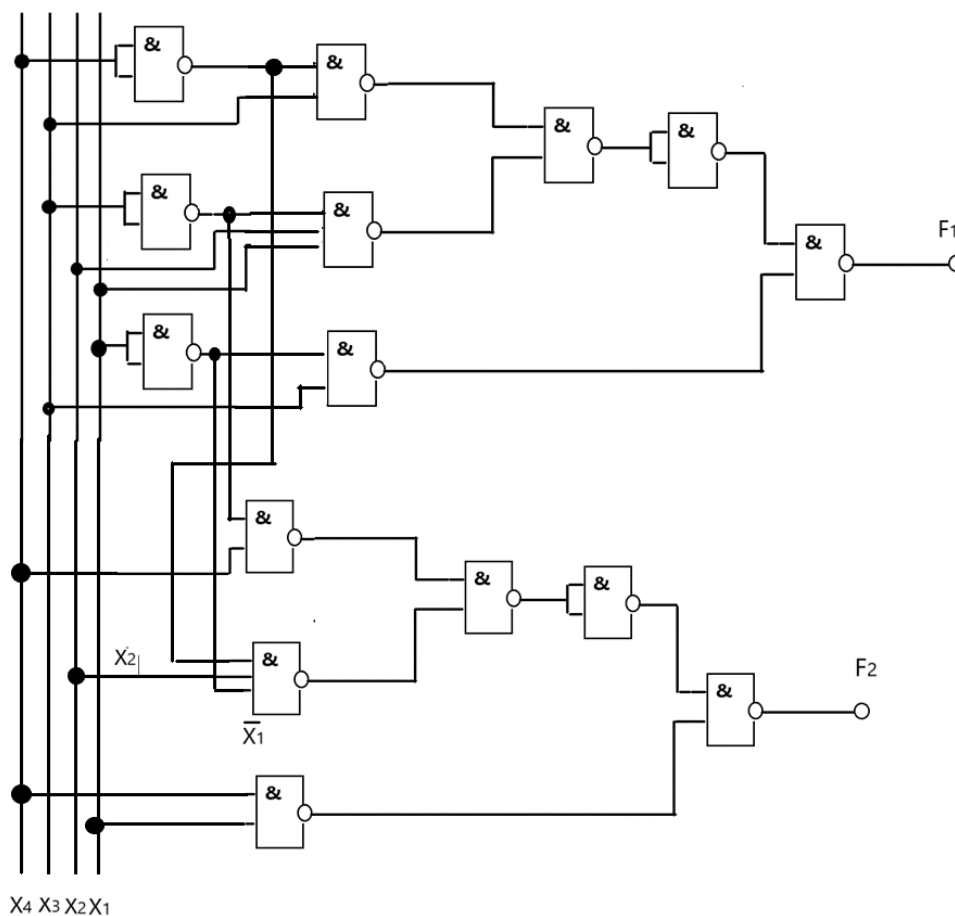


Рис. 4.14. Окончательная логическая схема ДКЦУ, выполненная в базисе И-НЕ

На основании этой схемы собираем модель ДКЦУ в компьютерной программе NI Multisim, скриншот которой представлен на рис.4.15.

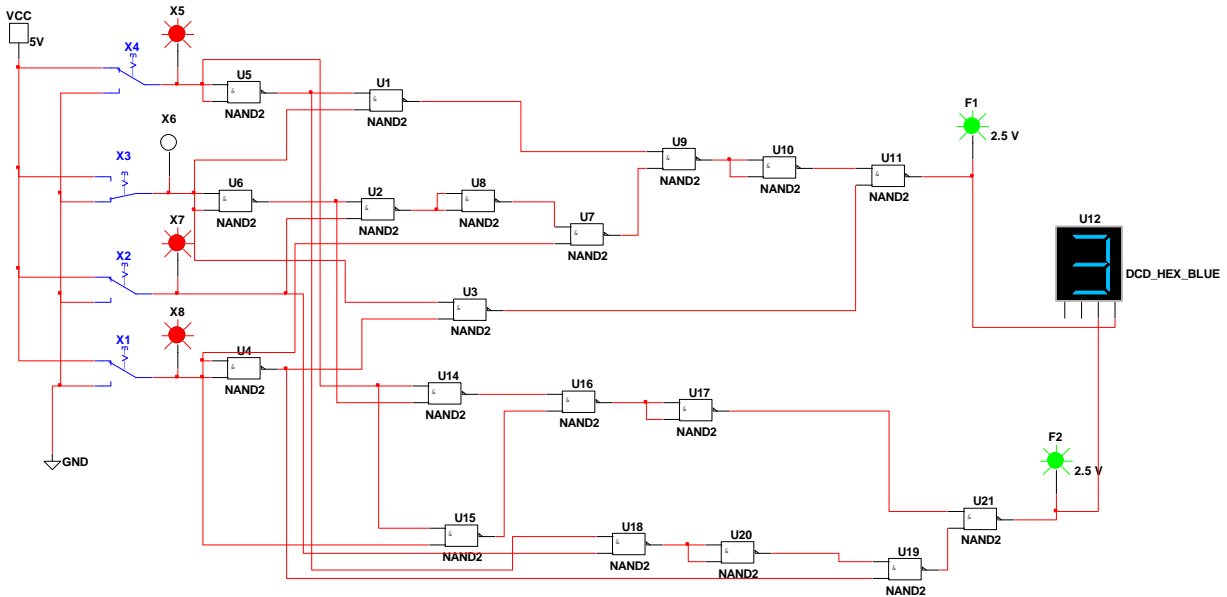


Рис.4.15. Скриншот окончательной логической схемы ДКЦУ в компьютерной программе моделирования NI Multisim

Окончательную верификацию ДКЦУ проведем путем сравнения теоретической временной диаграммы работы ДКЦУ с временной диаграммой, полученной экспериментально в компьютерной среде NI Multisim1 рис.4.17 а. Для этого построим теоретическую временную диаграмму в соответствии с заданной таблицей истинности 4.1. На рис.4.16. показана теоретическая временная диаграмма работы ДКЦУ.

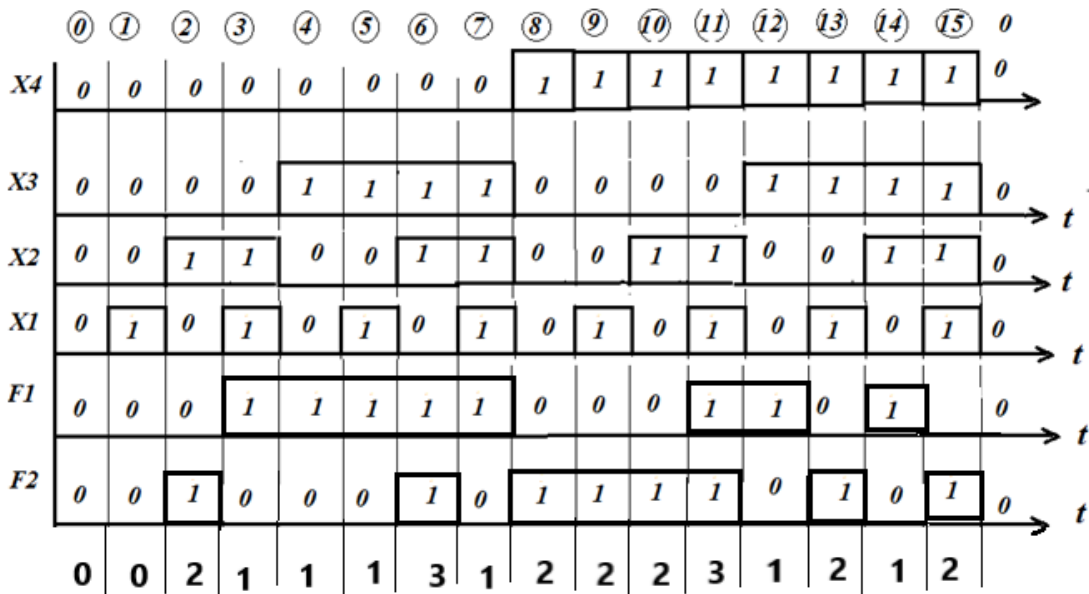
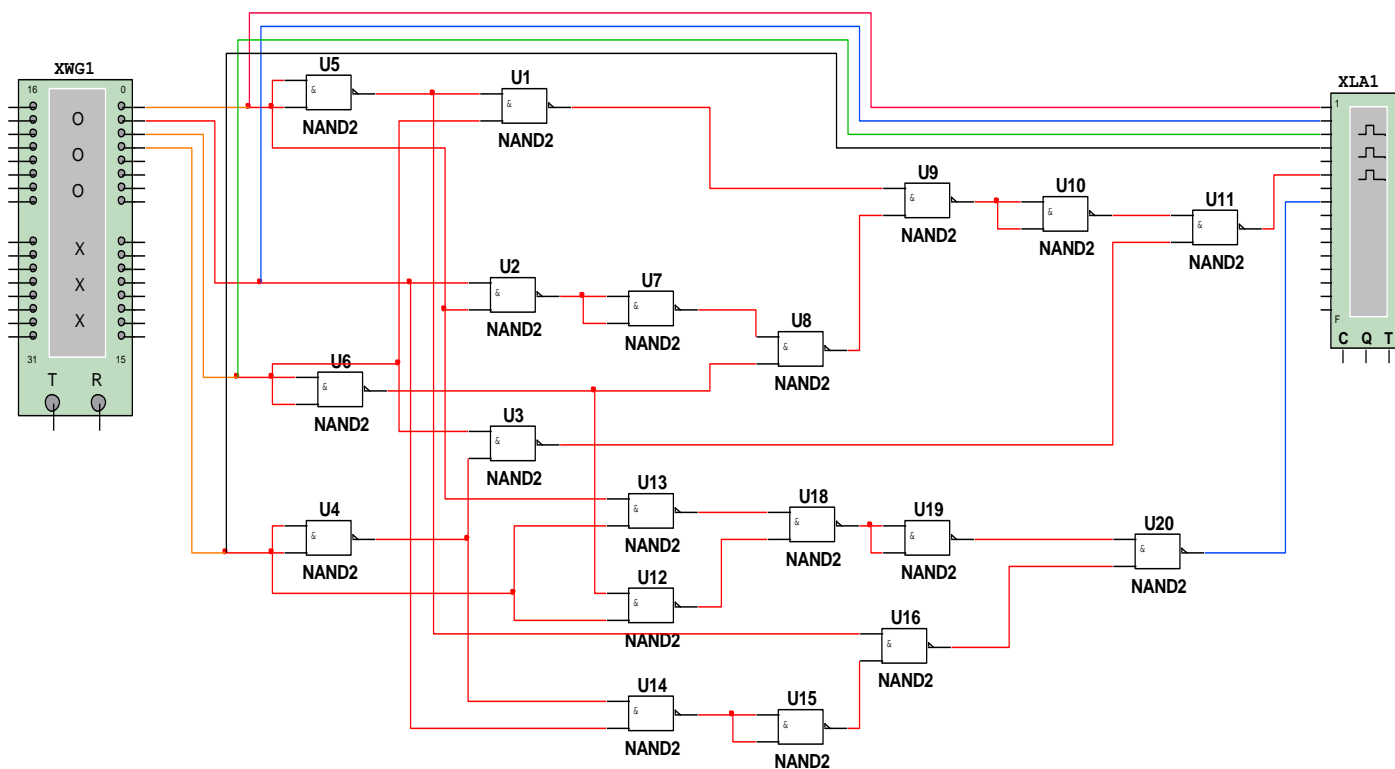
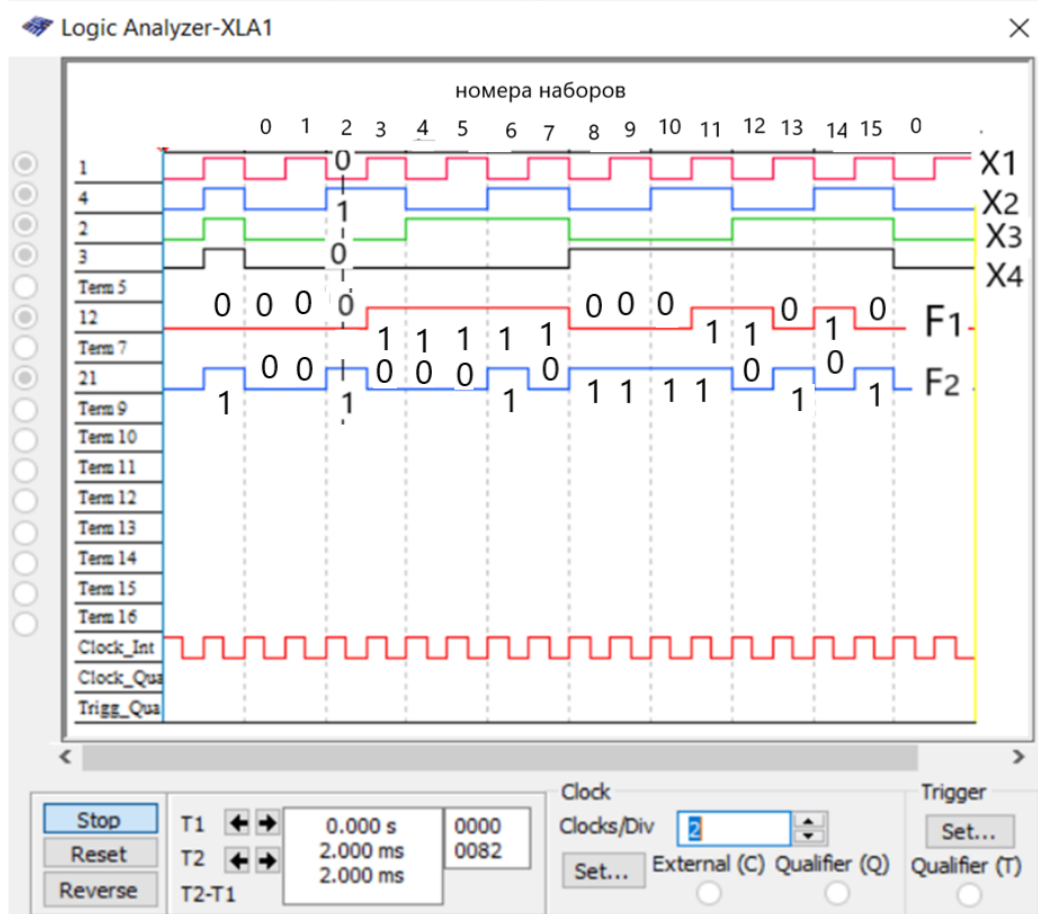


Рис.4.16. Теоретическая временная диаграмма работы проектируемого КЦУ

Цифры в кружочках на рис.4.16 показывают номера наборов входных сигналов. Теоретическую временную диаграмму надо сравнить с экспериментальной временной диаграммой, полученной на модели ДКЦУ в компьютерной среде NI Multisim на соответствие выходных функций таблице истинности. Экспериментальная временная диаграмма работы ДКЦУ получается в компьютерной среде Multisim с помощью двух приборов- «Генератора слов» (Word Generator-XWG1) и «Логический анализатор» (Logic Analyzer-XLA1) показана на рис.4.17 б.



a)



б)

Рис.4.17. Скриншот окончательной логической схемы (4.17а) и временная диаграмма работы ДКЦУ (рис.4.17б) в компьютерной программе NI Multisim

На диаграмме выходных логических функций F_1 и F_2 рис.4.17б указаны числа, которые образуют в двоичном коде выходные функции F_1 и F_2 (выходной код) для каждого набора входных величин, если за нулевой разряд брать F_1 за первый - F_2 (2,0,0,2,1,1,1,3,1, 2,2,2,3,1,2,1,2). Этот выходной код также можно использовать при верификации на работоспособность ДКЦУ. Если к выходам ДКЦУ подключить индикатор, то он должен показать данную последовательность чисел.

Этап 8. Выполнение электрической принципиальной схемы ДКЦУ

Для выполнения электрической принципиальной схемы ДКЦУ будем использовать микросхемы ТТЛ серии К155ЛА3 4 2 В И-НЕ (рис. 4.18). Основные электрические параметры микросхем ТТЛ, следующие:

1. высокий уровень сигнала (Н) находится в диапазоне 2,4 -5В, нижний – не более 0,4 В.
2. Входной ток низкого уровня составляет -1,6мА, высокого -0.04мА.
Коэффициент разветвления по выходу равен 10.
3. Напряжение питания составляет 5,0 В ±10% В.
4. Микросхемы серии 155: ЛА1, ЛА2, ЛА3, ЛА4, ЛЛ1, ЛЕ1, ЛЕ4, ЛН2, ЛР4,1, ЛР4 изготавливают в 14- выводном корпусе рис.2.14. Выводы нумеруют относительно ключа (выемки в корпусе), на виде сверху – против часовой стрелки

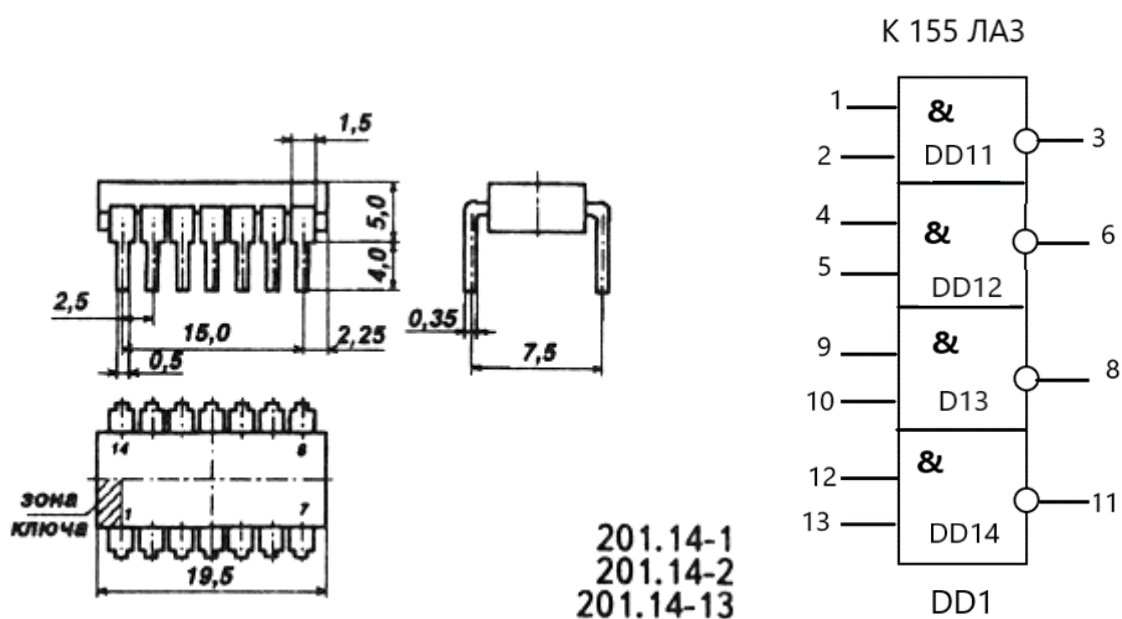


Рис.4.18. Общий вид и УГО микросхемы К155ЛА3 с обозначение ее выводов

Эта микросхема содержит четыре логических элемента И-НЕ, изготовленные в одном корпусе. На рис.4.18 микросхемы не указаны вывод 7 («земля») и вывод 14(+5В), через которые подводится питание микросхеме.

Для синтезируемого КЦУ необходимо 5 микросхем К155ЛА3 (21 ЛЭ И-НЕ) и один соединитель РМ-В. Он устанавливается на плате. Его внутренние выводы (13 штук) располагаются в отверстиях платы в отверстиях платы под корпус соединителя. На рис.4.19 представлена электрическая принципиальная схема спроектированного комбинационного цифрового устройства.

Этап 9. Расчет быстродействия КЦУ

Время задержки КЦУ оцениваем суммой задержек на отдельных логических элементах по пути с наибольшим их числом. В нашем случае сигнал проходит шесть логических элементов:

$$t_{\text{зад}} = t_{\text{зад}1} \times 6 = 30\text{нс} \times 6 = 180\text{нс}$$

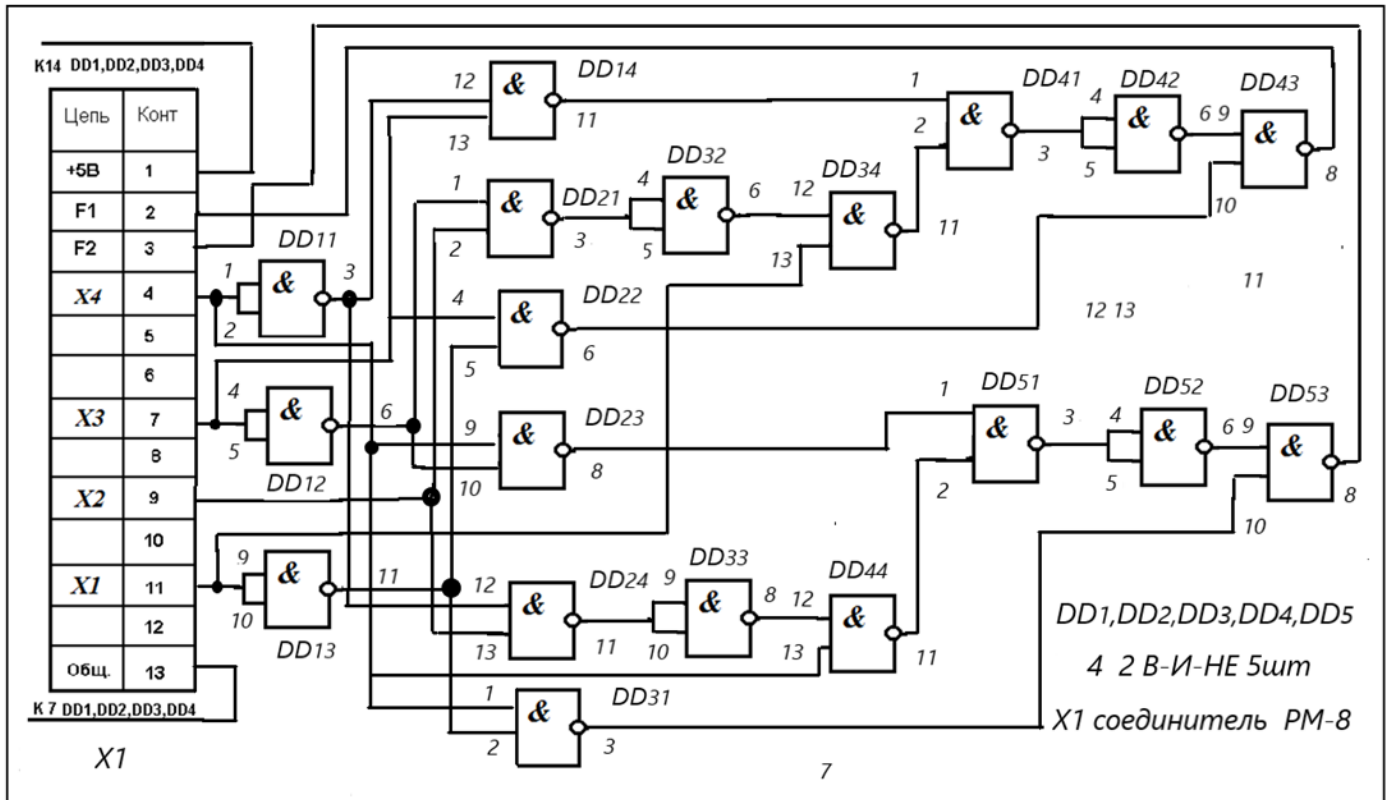


Рис.4.19. Схема электрическая принципиальная КЦУ

Выполненная электрическая принципиальная схема является исходной информацией для изготовления печатной платы ДКЦУ.

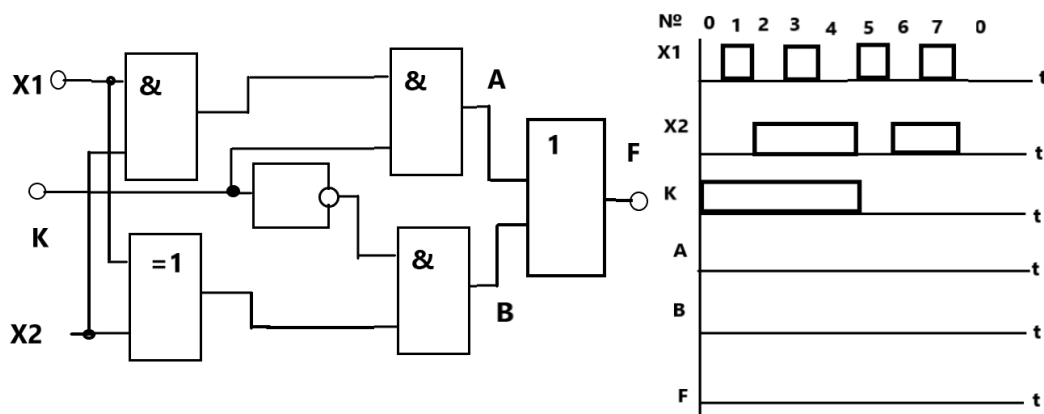
5. КОНТРОЛЬНЫЕ ВОПРОСЫ ДЛЯ ЗАЩИТЫ ДОМАШНЕГО ЗАДАНИЯ

1. Дать определение комбинационному цифровому устройству.
2. Что такое таблица истинности КЦУ?
3. Как перейти от таблицы истинности к алгебраической форме записи логической функции в СДНФ и СКНФ?
4. Для чего проводится минимизация алгебраической формы записи логической функции в СДНФ?

5. Что такое карта Карно? Пояснить принцип ее построения.
6. Пояснить принцип работы с картой Карно при минимизации логической функции в СДНФ?
7. Как проводится проверка правильности проведенной минимизации функции в СДНФ?
8. Объясните принцип перехода записи логической функции из одного базиса в другой.
9. Что такое электрическая принципиальная электрическая схема КЦУ?
10. Переведите структурное уравнение, записанное в основном базисе

$$F = X_1 \overline{X_2} + X_3 \overline{X_1} + \overline{X_3} X_2$$
 в уравнение, записанное в базисе И-НЕ.
11. Переведите структурное уравнение, записанное в основном базисе

$$F = X_1 \overline{X_2} + X_3 \overline{X_1} + \overline{X_3} X_2$$
 в уравнение, записанное в базисе ИЛИ-НЕ.
12. Минимизировать с помощью карты Карно, следующую логическую функцию $F = (0,1,4,6,7)$ и запишите ее в базисе ИЛИ-НЕ.
13. Что такое верификация КЦУ в среде Multisim.
14. Для заданной схемы записать булево выражение для логической функции F, составить таблицу истинности, записать выражение логической функции в СДНФ, минимизировать ее, составить временные диаграммы работы этой схемы.

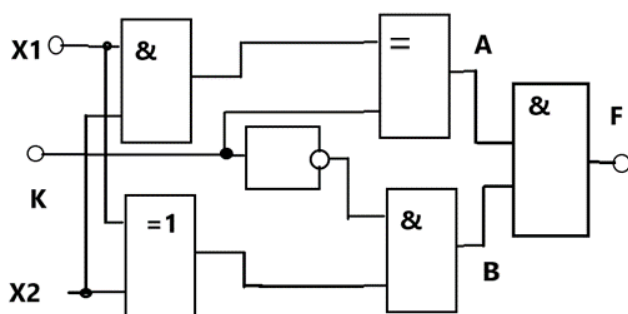


15. Упростить логическую функцию, заданную выражением:

$$F = (X_1 + X_2 + \overline{\overline{X_3 \times X_1}}) \times (\overline{\overline{X_1 \times X_2}} + X_3);$$

16. Запишите ТИ логического элемента «Исключающее ИЛИ» и начертите его цифровую схему в базисе И-НЕ.

17. Запишите формулу логической функции, которую реализует данная цифровая схема. Упростите ее.



18. Назовите способы задания логической функции.

19. Дайте определение цифровому комбинационному устройству. Назовите их типовые узлы.

20. Назовите основные электрические параметры ИС 155 серии.

6. ПРИЛОЖЕНИЕ 1. Варианты домашнего задания

| № варианта | Выходные логические функции |
|------------|---|
| 1 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,5,6,7,9,11,14[2,8,9,15]\{10,12\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,15[0,3,4,5,7,11,14]\{10,12\}$, базис ИЛИ-НЕ |
| 2 | $F_1(X_4X_3X_2X_1) = 1,2,3,4,6,8,11,14,15[0,5,7,9,10]\{12,13\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,8,9,10,11,15[1,2,4,5,7,14]\{12,13\}$, базис И-НЕ |
| 3 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,7,11,14[2,6,9,10,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,9,10,12,13,15[1,3,4,7,11,14]\{5,8\}$, базис И-НЕ |
| 4 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,9,10,15]\{11,13\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{12,13\}$, базис ИЛИ-НЕ |
| 5 | $F_1(X_4X_3X_2X_1) = 1,3,5,6,7,10,12,13[0,2,4,5,6,7,15]\{11,14\}$ $F_2(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,14[2,6,8,9,10,15]\{11,14\}$, базис И-НЕ |
| 6 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 7 | $F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]\{0,9\}$ |

| | |
|----|--|
| | $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{0,9\}$, базис И-НЕ |
| 8 | $F_1(X_4X_3X_2X_1) = 0,1,2,3,4,5,6,13,14,15[7,8,9,10,11,12]\{6,15\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,11,13, [1,3,4,5,7,12,14]\{6,15\}$, базис ИЛИ-НЕ |
| 9 | $F_1(X_4X_3X_2X_1) = 1,4,5,7,8,9,10,13,14[0,2,3,11,12]\{6,11\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,13,15[1,3,4,5,7,12,14]\{6,11\}$, базис ИЛИ-НЕ |
| 10 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,10,11,15]\{9,12\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{9,12\}$, базис И-НЕ |
| 11 | $F_1(X_4X_3X_2X_1) = 0,3,4,5,6,7,9,11,14[1,2,8,9,15]\{10,13\}$ $F_2(X_4X_3X_2X_1) = 1,3,6,8,9,12,15[0,2,4,5,7,11,14]\{10,13\}$, базис ИЛИ-НЕ |
| 12 | $F_1(X_4X_3X_2X_1) = 0,3,4,5,6,7,9,11,14[1,2,8,9,15]\{1,4\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,9,11,13,15[0,3,5,7,12,14]\{1,4\}$, базис И-НЕ |
| 13 | $F_1(X_4X_3X_2X_1) = 1,2,3,4,5,7,11,14,15[0,6,8,9,10]\{12,13\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,8,9,10,11,15[1,2,4,5,7,14]\{12,13\}$, базис И-НЕ |
| 14 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,7,11,14[2,6,9,10,13,15]\{1,8\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,9,10,12,13,15[1,3,4,7,11,14]\{1,8\}$, базис И-НЕ |
| 16 | $F_1(X_4X_3X_2X_1) = 1,3,5,6,7,12,13[0,2,4,5,6,7,15]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 3,4,5,7,11,12,14[0,1,2,6,8,9,15]\{10,14\}$, базис ИЛИ-НЕ |
| 17 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 18 | $F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]\{0,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{0,9\}$, базис ИЛИ-НЕ |
| 19 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,5,6,13,14[2,7,9,10,11,12]\{8,15\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,10,11,13, [2,3,4,5,7,12,14]\{8,15\}$, базис И-НЕ |
| 20 | $F_1(X_4X_3X_2X_1) = 0,4,5,7,8,9,10,13,14[1,2,3,11,12]\{6,11\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,13,15[1,3,4,5,7,12,14]\{6,11\}$, базис И-НЕ |
| 21 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,10,11,15]\{3,10\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,12,13,15[2,4,5,7,11,14]\{3,10\}$, базис И-НЕ |
| 22 | $F_1(X_4X_3X_2X_1) =$ $0,3,4,5,7,9,11,12,14[2,8,9,13,15]\{1,6\}$ $F_2(X_4X_3X_2X_1) = 0,2,8,9,11,12,13,15[1,3,4,5,7,14]\{1,6\}$, базис И-НЕ |
| 23 | $F_1(X_4X_3X_2X_1) =$ $0,2,4,5,6,7,9,11,12,14[1,3,8,9,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,9,11,13,15[0,3,4,7,11,12,14]\{5,8\}$, базис И-НЕ |

| | |
|----|--|
| 24 | $F_1(X_4X_3X_2X_1) = 4,5,6,7,11,14,13,15[0,1,2,3,10,12]\{8,9\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,10,11,12,13,15[1,2,4,5,7,14]\{8,9\}$, базис ИЛИ-НЕ |
| 25 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,6,11,12,14[2,7,9,10,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,9,10,12,13,15[1,2,4,7,11,14]\{5,8\}$, базис ИЛИ-НЕ |
| 26 | $F_1(X_4X_3X_2X_1) = 0,2,3,4,5,7,11,14[1,3,6,9,10,13]\{12,15\}$ $F_2(X_4X_3X_2X_1) = 0,3,5,6,9,10,13,14[1,2,4,7,8,11]\{12,15\}$, базис И-НЕ |
| 27 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,9,10,15]\{11,13\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{12,13\}$, базис ИЛИ-НЕ |
| 28 | $F_1(X_4X_3X_2X_1) = 1,3,5,6,7,10,12,13[0,2,4,5,6,7,15]\{11,14\}$ $F_2(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,14[2,6,8,9,10,15]\{11,14\}$, базис И-НЕ |
| 29 | $F_1(X_4X_3X_2X_1) = 0,1,2,5,8,9,12,13,15[3,4,6,7,11]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 30 | $F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]\{0,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{0,9\}$, базис ИЛИ-НЕ |
| 31 | $F_1(X_4X_3X_2X_1) = 0,1,2,3,4,5,6,13,14,15[7,8,9,10,11,12]\{6,15\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,11,13, [1,3,4,5,7,12,14]\{6,15\}$, базис И-НЕ |
| 32 | $F_1(X_4X_3X_2X_1) = 0,4,5,7,8,9,10,13,14,15[1,2,3,11]\{6,12\}$ $F_2(X_4X_3X_2X_1) = 0,3,8,9,10,13,15[1,2,4,5,7,11,14]\{6,12\}$, базис ИЛИ-НЕ |
| 33 | $F_1(X_4X_3X_2X_1) = 0,3,5,6,7,12,14[1,2,4,8,10,11,15]\{9,10\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{9,10\}$, базис И-НЕ |
| 34 | $F_1(X_4X_3X_2X_1) =$ $0,2,4,5,6,7,9,11,14[1,3,8,9,15]\{10,13\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,12,15[0,3,4,5,7,11,14]\{10,13\}$, базис И-НЕ |
| 35 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,12,14[2,6,9,13,15]\{10,11\}$ $F_2(X_4X_3X_2X_1) = 0,4,5,6,9,12,13,14,15[1,2,3,7,8,]\{10,11\}$, базис ИЛИ-НЕ |
| 36 | $F_1(X_4X_3X_2X_1) = 0,3,5,6,7,12,13[1,2,4,5,6,7,15]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 3,4,5,7,11,12,14[0,1,2,6,8,9,15]\{10,14\}$, базис И-НЕ |
| 37 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 38 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,10,11,13,15[4,5,6,7,12,14]\{3,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{3,9\}$, базис И-НЕ |
| 39 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,5,6,13,14[2,7,9,10,11,12]\{8,15\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,10,11,13, [2,3,4,5,7,12,14]\{8,15\}$, базис И-НЕ |
| 40 | $F_1(X_4X_3X_2X_1) = 0,4,5,7,8,9,10,13,14[1,2,3,11,12]\{6,11\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,13,15[1,3,4,5,7,12,14]\{6,11\}$, базис И-НЕ |
| 41 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,10,11,15]\{3,10\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,12,13,15[2,4,5,7,11,14]\{3,10\}$, базис И-НЕ |

| | |
|----|--|
| 42 | $F_1(X_4X_3X_2X_1) =$ 0,3,4,5,7,9,11,12,14[2,8,9,13,15]{1,6} $F_2(X_4X_3X_2X_1) = 0,2,8,9,11,12,13,15[1,3,4,5,7,14]{1,6}$, базис И-НЕ |
| 43 | $F_1(X_4X_3X_2X_1) =$ 0,2,4,5,6,7,9,11,12,14[1,3,8,9,13,15]{5,8} $F_2(X_4X_3X_2X_1) = 1,2,6,9,11,13,15[0,3,4,7,11,12,14]{5,8}$, базис И-НЕ |
| 44 | $F_1(X_4X_3X_2X_1) = 4,5,6,7,11,14,13,15[0,1,2,3,10,12]{8,9}$ $F_2(X_4X_3X_2X_1) = 0,3,6,10,11,12,13,15[1,2,4,5,7,14]{8,9}$, базис ИЛИ-НЕ |
| 45 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,6,11,12,14[2,7,9,10,13,15]{5,8}$ $F_2(X_4X_3X_2X_1) = 0,3,6,9,10,12,13,15[1,2,4,7,11,14]{5,8}$, базис ИЛИ-НЕ |
| 46 | $F_1(X_4X_3X_2X_1) = 0,2,3,4,5,7,11,14[1,3,6,9,10,13]{12,15}$ $F_2(X_4X_3X_2X_1) = 0,3,5,6,9,10,13,14[1,2,4,7,8,11]{12,15}$, базис И-НЕ |
| 47 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,9,10,15]{11,13}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]{12,13}$, базис ИЛИ-НЕ |
| 48 | $F_1(X_4X_3X_2X_1) = 1,3,5,6,7,10,12,13[0,2,4,5,6,7,15]{11,14}$ $F_2(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,14[2,6,8,9,10,15]{11,14}$, базис И-НЕ |
| 49 | $F_1(X_4X_3X_2X_1) = 0,1,2,5,8,9,12,13,15[3,4,6,7,1]{10,11}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]{10,11}$, базис И-НЕ |
| 50 | $F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]{0,9}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]{0,9}$, базис ИЛИ-НЕ |
| 51 | $F_1(X_4X_3X_2X_1) = 0,1,2,3,4,5,6,13,14,15[7,8,9,10,11,12]{6,15}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,11,13, [1,3,4,5,7,12,14]{6,15}$, базис И-НЕ |
| 52 | $F_1(X_4X_3X_2X_1) = 0,4,5,7,8,9,10,13,14,15[1,2,3,11]{6,12}$ $F_2(X_4X_3X_2X_1) = 0,3,8,9,10,13,15[1,2,4,5,7,11,14]{6,12}$, базис ИЛИ-НЕ |
| 53 | $F_1(X_4X_3X_2X_1) = 0,3,5,6,7,12,14[1,2,4,8,10,11,15]{9,10}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]{9,10}$, базис И-НЕ |
| 54 | $F_1(X_4X_3X_2X_1) =$ 0,2,4,5,6,7,9,11,14[1,3,8,9,15]{10,13} $F_2(X_4X_3X_2X_1) = 0,2,6,8,9,12,15[1,3,4,5,7,11,14]{10,13}$, базис ИЛИ-НЕ |
| 55 | $F_1(X_4X_3X_2X_1) = 0,2,3,4,5,7,11,12,14[1,6,9,13,15]{10,11}$ $F_2(X_4X_3X_2X_1) = 1,4,5,6,9,12,13,14,15[0,2,3,7,8,]{10,11}$, базис И-НЕ |
| 56 | $F_1(X_4X_3X_2X_1) = 0,3,4,5,6,7,9,11,14[1,2,8,9,15]{10,12}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,15[0,3,4,5,7,11,14]{10,12}$, базис ИЛИ-НЕ |
| 57 | $F_1(X_4X_3X_2X_1) = 1,2,3,4,6,7,11,14,15[0,5,8,9,10]{12,13}$ $F_2(X_4X_3X_2X_1) = 0,3,6,8,9,10,11,15[1,2,4,5,7,14]{12,13}$, базис И-НЕ |
| 58 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,7,11,14[2,6,9,10,13,15]{5,8}$ $F_2(X_4X_3X_2X_1) = 0,2,6,9,10,12,13,15[1,3,4,7,11,14]{5,8}$, базис И-НЕ |
| 59 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,9,10,15]{11,13}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]{12,13}$, базис ИЛИ-НЕ |

| | |
|----|--|
| 60 | $F_1(X_4X_3X_2X_1) = 1,3,5,6,7,10,12,13[0,2,4,5,6,7,15]\{11,14\}$ $F_2(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,14[2,6,8,9,10,15]\{11,14\}$, базис И-НЕ |
| 61 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 62 | $F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]\{0,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,7,10,11,13,15[1,3,4,5,8,12,14]\{0,9\}$, базис И-НЕ |
| 63 | $F_1(X_4X_3X_2X_1) = 0,1,2,3,4,5,6,13,14,15[7,8,9,10,11,12]\{6,15\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,11,13, [1,3,4,5,7,12,14]\{6,15\}$, базис ИЛИ-НЕ |
| 64 | $F_1(X_4X_3X_2X_1) = 1,4,5,7,8,9,10,13,14[0,2,3,11,12]\{6,11\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,13,15[1,3,4,5,7,12,14]\{6,11\}$, базис ИЛИ-НЕ |
| 65 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,10,11,15]\{9,12\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{9,12\}$, базис И-НЕ |
| 66 | $F_1(X_4X_3X_2X_1) = 0,3,4,5,6,7,9,11,14[1,2,8,9,15]\{10,13\}$ $F_2(X_4X_3X_2X_1) = 1,3,6,8,9,12,15[0,2,4,5,7,11,14]\{10,13\}$, базис ИЛИ-НЕ |
| 67 | $F_1(X_4X_3X_2X_1) = 0,3,4,5,6,7,9,11,14[1,2,8,9,15]\{1,4\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,9,11,13,15[0,3,5,7,12,14]\{1,4\}$, базис И-НЕ |
| 68 | $F_1(X_4X_3X_2X_1) = 1,2,3,4,5,7,11,14,15[0,6,8,9,10]\{12,13\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,8,9,10,11,15[1,2,4,5,7,14]\{12,13\}$, базис И-НЕ |
| 69 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,7,11,14[2,6,9,10,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,9,10,12,13,15[1,3,4,7,11,14]\{5,8\}$, базис И-НЕ |
| 70 | $F_1(X_4X_3X_2X_1) = 1,3,5,6,7,12,13[0,2,4,5,6,7,15]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 3,4,5,7,11,12,14[0,1,2,6,8,9,15]\{10,14\}$, базис ИЛИ-НЕ |
| 71 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 72 | $F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]\{0,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{0,9\}$, базис ИЛИ-НЕ |
| 72 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,5,6,13,14[2,7,9,10,11,12]\{8,15\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,10,11,13, [2,3,4,5,7,12,14]\{8,15\}$, базис И-НЕ |
| 73 | $F_1(X_4X_3X_2X_1) = 0,4,5,7,8,9,10,13,14[1,2,3,11,12]\{6,11\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,13,15[1,3,4,5,7,12,14]\{6,11\}$, базис И-НЕ |
| 74 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,10,11,15]\{3,10\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,12,13,15[2,4,5,7,11,14]\{3,10\}$, базис И-НЕ |
| 75 | $F_1(X_4X_3X_2X_1) =$ $0,3,4,5,7,9,11,12,14[2,8,9,13,15]\{1,6\}$ $F_2(X_4X_3X_2X_1) = 0,2,8,9,11,12,13,15[1,3,4,5,7,14]\{1,6\}$, базис И-НЕ |
| 76 | $F_1(X_4X_3X_2X_1) =$ $0,2,4,5,6,7,9,11,12,14[1,3,8,9,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,9,11,13,15[0,3,4,7,11,12,14]\{5,8\}$, базис И-НЕ |
| 77 | $F_1(X_4X_3X_2X_1) = 4,5,6,7,11,14,13,15[0,1,2,3,10,12]\{8,9\}$ |

| | |
|----|--|
| | $F_2(X_4X_3X_2X_1) = 0,3,6,10,11,12,13,15[1,2,4,5,7,14]\{8,9\}$, базис ИЛИ-НЕ |
| 78 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,6,11,12,14[2,7,9,10,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,9,10,12,13,15[1,2,4,7,11,14]\{5,8\}$, базис ИЛИ-НЕ |
| 79 | $F_1(X_4X_3X_2X_1) = 0,2,3,4,5,7,11,14[1,3,6,9,10,13]\{12,15\}$ $F_2(X_4X_3X_2X_1) = 0,3,5,6,9,10,13,14[1,2,4,7,8,11]\{12,15\}$, базис И-НЕ |
| 80 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,9,10,15]\{11,13\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{12,13\}$, базис ИЛИ-НЕ |
| 81 | $F_1(X_4X_3X_2X_1) = 1,3,5,6,7,10,12,13[0,2,4,5,6,7,15]\{11,14\}$ $F_2(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,14[2,6,8,9,10,15]\{11,14\}$, базис И-НЕ |
| 82 | $F_1(X_4X_3X_2X_1) = 0,1,2,5,8,9,12,13,15[3,4,6,7,11]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 83 | $F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]\{0,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{0,9\}$, базис ИЛИ-НЕ |
| 84 | $F_1(X_4X_3X_2X_1) = 0,1,2,3,4,5,6,13,14,15[7,8,9,10,11,12]\{6,15\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,11,13, [1,3,4,5,7,12,14]\{6,15\}$, базис И-НЕ |
| 85 | $F_1(X_4X_3X_2X_1) = 0,4,5,7,8,9,10,13,14,15[1,2,3,11]\{6,12\}$ $F_2(X_4X_3X_2X_1) = 0,3,8,9,10,13,15[1,2,4,5,7,11,14]\{6,12\}$, базис ИЛИ-НЕ |
| 86 | $F_1(X_4X_3X_2X_1) = 0,3,5,6,7,12,14[1,2,4,8,10,11,15]\{9,10\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{9,10\}$, базис И-НЕ |
| 87 | $F_1(X_4X_3X_2X_1) =$ $0,2,4,5,6,7,9,11,14[1,3,8,9,15]\{10,13\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,12,15[0,3,4,5,7,11,14]\{10,13\}$, базис ИЛИ-НЕ |
| 88 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,12,14[2,6,9,13,15]\{10,11\}$ $F_2(X_4X_3X_2X_1) = 0,4,5,6,9,12,13,14,15[1,2,3,7,8,]\{10,11\}$, базис И-НЕ |
| 89 | $F_1(X_4X_3X_2X_1) = 0,3,5,6,7,12,13[1,2,4,5,6,7,15]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 3,4,5,7,11,12,14[0,1,2,6,8,9,15]\{10,14\}$, базис ИЛИ-НЕ |
| 90 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И-НЕ |
| 91 | $F_1(X_4X_3X_2X_1) = 0,1,2,8,10,11,13,15[4,5,6,7,12,14]\{3,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{3,9\}$, базис ИЛИ-НЕ |
| 92 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,5,6,13,14[2,7,9,10,11,12]\{8,15\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,10,11,13, [2,3,4,5,7,12,14]\{8,15\}$, базис И-НЕ |
| 93 | $F_1(X_4X_3X_2X_1) = 0,4,5,7,8,9,10,13,14[1,2,3,11,12]\{6,11\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,13,15[1,3,4,5,7,12,14]\{6,11\}$, базис И-НЕ |
| 94 | $F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,10,11,15]\{3,10\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,12,13,15[2,4,5,7,11,14]\{3,10\}$, базис И-НЕ |
| 95 | $F_1(X_4X_3X_2X_1) =$ $0,3,4,5,7,9,11,12,14[2,8,9,13,15]\{1,6\}$ $F_2(X_4X_3X_2X_1) = 0,2,8,9,11,12,13,15[1,3,4,5,7,14]\{1,6\}$, базис ИЛИ-НЕ |

| | |
|-----|--|
| 96 | $F_1(X_4X_3X_2X_1) = 0,2,4,5,6,7,9,11,12,14[1,3,8,9,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,9,11,13,15[0,3,4,7,11,12,14]\{5,8\}$, базис И-НЕ |
| 97 | $F_1(X_4X_3X_2X_1) = 4,5,6,7,11,14,13,15[0,1,2,3,10,12]\{8,9\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,10,11,12,13,15[1,2,4,5,7,14]\{8,9\}$, базис ИЛИ-НЕ |
| 98 | $F_1(X_4X_3X_2X_1) = 0,1,3,4,6,11,12,14[2,7,9,10,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,9,10,12,13,15[1,2,4,7,11,14]\{5,8\}$, базис ИЛИ-НЕ |
| 99 | $F_1(X_4X_3X_2X_1) = 0,2,3,4,5,7,11,14[1,3,6,9,10,13]\{12,15\}$ $F_2(X_4X_3X_2X_1) = 0,3,5,6,9,10,13,14[1,2,4,7,8,11]\{12,15\}$, базис И-НЕ |
| 100 | $F_1(X_4X_3X_2X_1) = 0,3,5,6,7,12,14[1,2,4,8,9,11,15]\{10,13\}$ $F_2(X_4X_3X_2X_1) = 0,1,5,8,9,10,15[2,3,4,6,7,11,14]\{10,13\}$, базис И-НЕ |

7. ПРИЛОЖЕНИЕ 2. Основы моделирования в компьютерной программе NI Multisim

В настоящее время широкое применение моделирования электрических и цифровых схем получила компьютерная программа NI Multisim. Это программа платная, но сайте www.ni.com./multisim можно скачать бесплатную пробную версию для образовательных учреждений, так же эта программа установлена на компьютерах в компьютерном классе кафедры «Электротехники и промышленной электроники».

Интерфейсное окно и рабочая область программы NI Multisim представлено на рис. П 2.1.

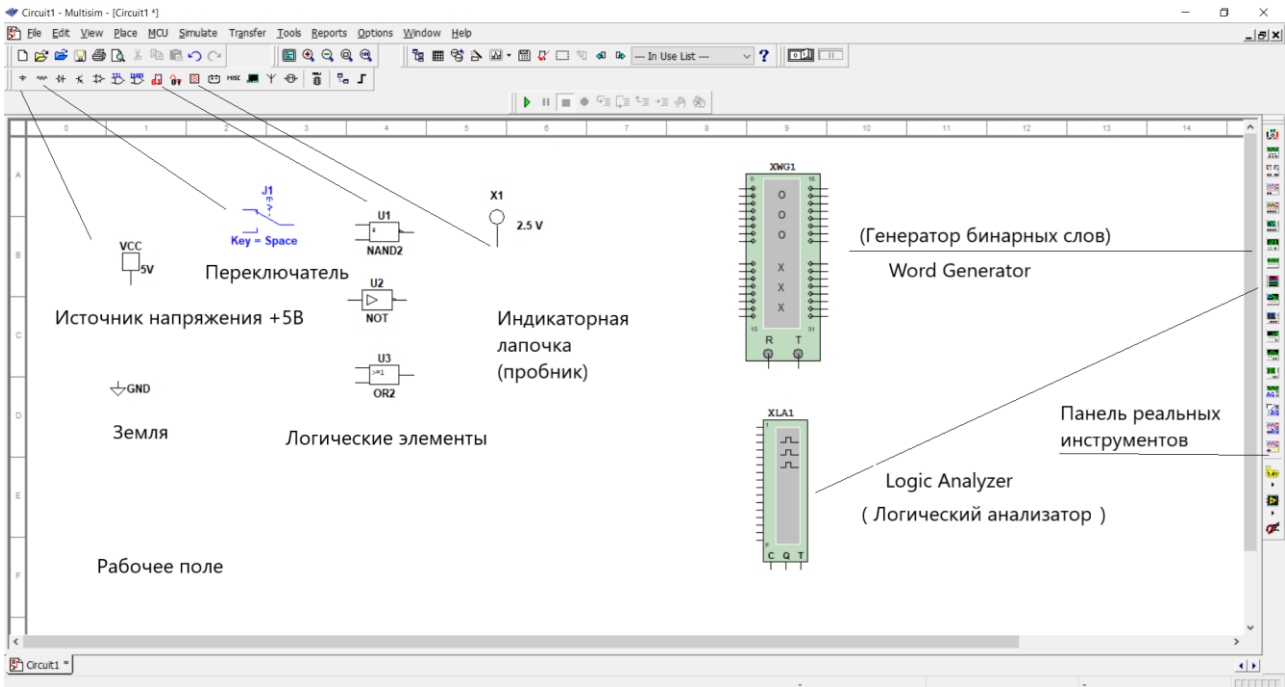


Рис. П2.1. Интерфейсное окно программы Multisim

В интерфейсном окне программы расположены поле меню и два поля инструментов с пиктограммами: на горизонтальное поле слева выведены пиктограммы для отдельных классов компонентов (библиотека компонентов) (рис. П2.2), на вертикальное поле справа – пиктограммы реальных приборов (рис. П2.3).

При построении и редактировании схем выполняются следующие операции:

- 1) выбор компонента из библиотеки компонентов и размещение его в рабочем окне;
- 2) выбор прибора;
- 3) установка значений компонентов;
- 4) соединение компонентов проводниками.

1) Выбор компонента производится из библиотеки компонентов:

- 1
- 2
- 3
- 4
- 5
- 6
- 7
- 8
- 9
- 10
- 11
- 12

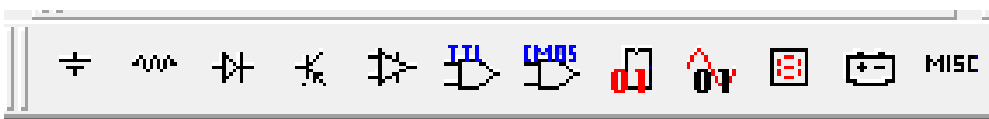


Рис. П.2.2. Панель библиотеки программы

Компоненты программы распределены следующим образом:

- 1-источники (*Sources*);
2. базовые элементы (*Basic*);
3. диоды, в том числе диодные выпрямители, тиристоры, стабилитроны (*Diodes*),
4. транзисторы (*Transistors*);
5. аналоговые микросхемы (*Analog*);
6. цифровые микросхемы (*TTL* и *CMOS*) ;
7. индикаторы (*indicators*);
8. цифровые микросхемы (*Misk Digital*);
9. аналого-цифровые компоненты (*Mixed*);
10. индикаторы (*Indicators*);
11. компоненты питания (*Pawer Component*);
12. микросхемы смешанного типа.

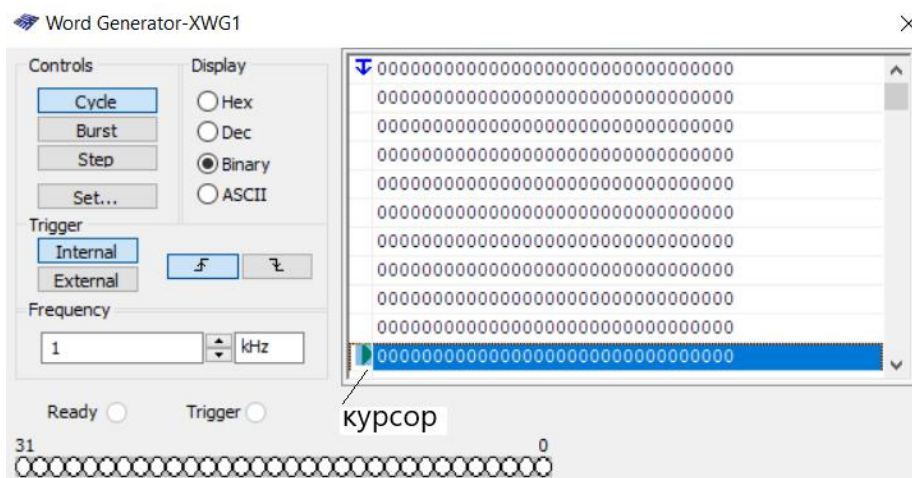
2) При верификации работоспособности спроектированного ДКЦУ в компьютерной среде Multisim потребуются источник постоянного напряжения VCC, заземление GND, логические элементы, ключи J, пробники. На рис. П.2.1 указаны их расположения.

Источник постоянного напряжения +5В (VCC) необходим для установки потенциала высокого уровня (лог.1). Заземление необходимо для проведения процесса моделирования, логические элементы для построения требуемой цифровой схемы, ключи для изменения вручную комбинации входных сигналов, пробники для фиксации потенциала входного или выходного сигналов : «1» или «0».

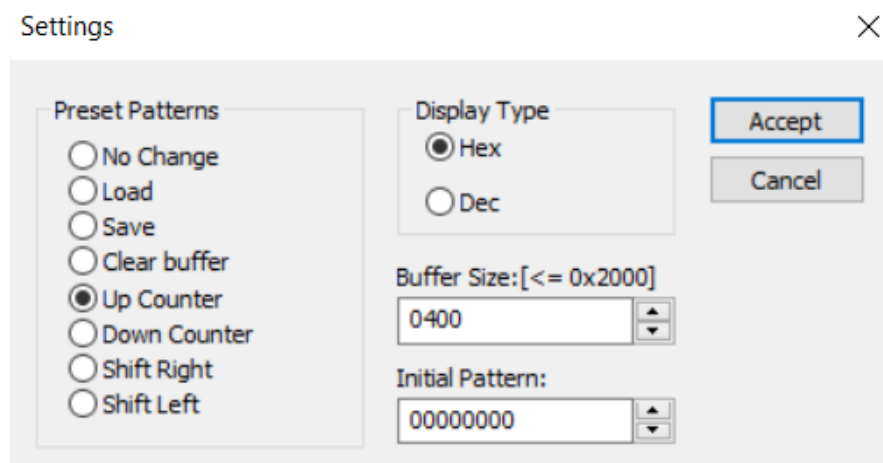
Для получения временной диаграммы работы ДКЦУ необходимы генератор слов и

логический анализатор. Логический анализатор (Logic Analyzer) - предназначен для отображения на его экране 16-ти разрядных кодовых последовательностей во времени, подаваемых на его вход из 16 различных точек схемы. Генератор бинарных слов (Word Generator) размещен на панели реальных инструментов, находящейся справа от рабочего поля программы. Он имеет 32 выхода, пронумерованные от 0 до 31, т.е. он может генерировать 32- разрядные бинарные слова (коды). При моделировании можно использовать только необходимые выходы.

3) Установка значений параметров генератора слов производится в диалоговом окне, которое открывается при двойном щелчке мыши по его изображению рис.П2.3 а.



а)



б)

Рис.П2.3. Диалоговые окна генератора бинарных слов

Параметры генератора слов устанавливаются в диалоговом окне П2.3 б, которое появится после нажатия кнопки Set в предыдущем диалоговом окне.

Экран логического анализатора рис. П2.3 б появится также после при двойном щелчке мыши по его изображению.

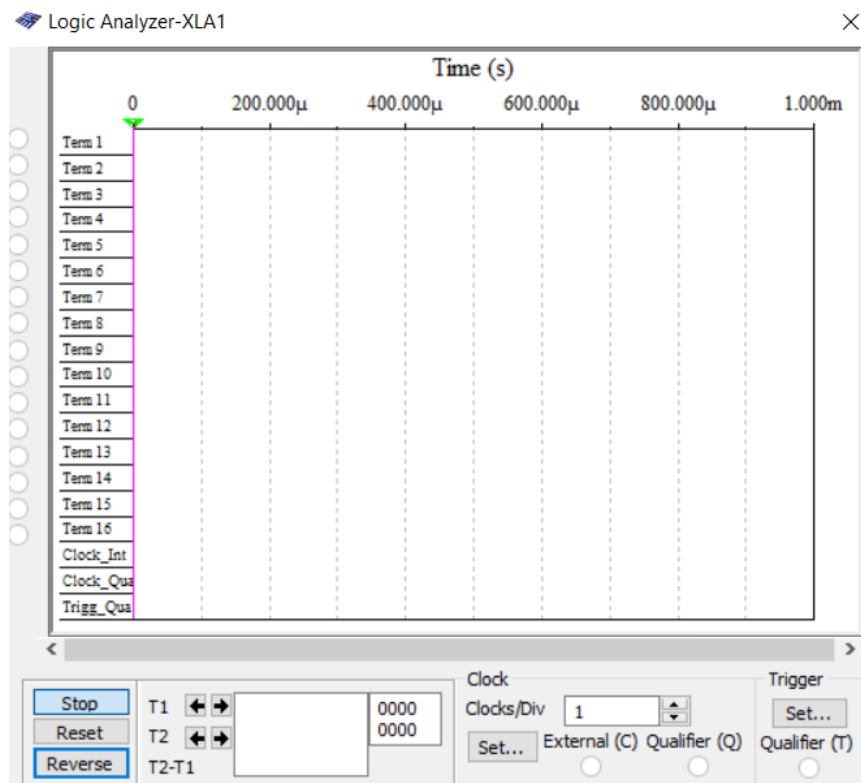


Рис.П.2.4. Экран логического анализатора

Прежде чем включить генератор XWG1 в работу, необходимо его запрограммировать: задать возрастающее значения счета (рис. П2.3 б) и ввести вручную ограничивающее число, до которого он будет генерировать бинарные коды, путем установления ограничивающего курсора (рис. П2.3 а). Так же необходимо синхронизировать совместную работу генератора бинарных слов и логического анализатора. Синхронизация осуществляется в настройке приборов в диалоговых окнах.

4) Для соединения выводов компонентов проводниками необходимо подвести курсор к выводу одного из компонентов. Нажав и не отпуская левую кнопку мыши, переместите курсор к выводу компонента, с которым необходимо соединиться.

ЛИТЕРАТУРА

1. Бойко В. И. и др. Схемотехника электронных систем. Цифровые устройства.: СПб.: БХВ- Петербург,2004.- 512с.
2. Бойт К. Цифровая электроника: Пер. с немец. - М: Техносфера, 2007. -472с.
3. Красовский А.Б. Проектирование комбинационных цифровых устройств: метод. указания/ А.Б. Красовский, В.А. Соболев-М.: Изд-во МГТУ им. Н.Э. Баумана , 2012,- 27,с:ил.
4. Марченко А., Освальд С. Лабораторный практикум по электротехнике и электронике в среде Multisim. Учеб пос. для вузов .- М. : ДМК Пресс. 2010.- 448с.
5. Отечественные микросхемы и зарубежные аналоги Справочник. Перельман Б.Л., Шевелев В.И. "НТЦ Микротех", 1998г.,376 с. - ISBN-5-85823-006-7