# Проверяемые задания

**Проверяемое задание 1**

**Тема «Технологические процессы интегральной электронной компонентной базы»**

**Лекция 1. Технологические процессы интегральной электронной компонентной базы**

**Формулировка задания**

Написать эссе на заданную тему.

**Рекомендации по выполнению задания**

Объем отчета по заданию не более 5 страниц. Шрифт Times New Roman, 14 кегль, полуторный межстрочный интервал. Темы индивидуальных заданий представлены в табл. 1.1.

Таблица 1.1

Темы индивидуальных заданий

|  |  |
| --- | --- |
| Вариант | Тема эссе |
| 1 | Классификация интегральных электронных устройств |
| 2 | Подготовительные и сборочные операции |
| 3 | Основы литографии. Фотошаблоны. Виды литографии |
| 4 | Эпитаксия |
| 5 | Термическое окисление |
| 6 | Параметры диффузионного и ионного легирования |
| 7 | Травление |
| 8 | Нанесение тонких пленок |
| 9 | Создание проводников |
| 10 | Изоляция элементов полупроводниковых интегральных микросхем обратносмещенным *p-n*-переходом |
| 11 | Изоляция элементов интегральных микросхем диэлектриком |
| 12 | Интегральные резисторы |
| 13 | Интегральные конденсаторы |
| 14 | Интегральные диоды. Диодное включение транзистора |
| 15 | Компоненты гибридных интегральных микросхем |

# Бланк выполнения задания 1

Задание 1. Технологические процессы интегральной электронной компонентной базы

**Проверяемое задание 2**

**Тема «Интегральные транзисторы»**

**Лекция 2. Способы электрической изоляции элементов полупроводниковых интегральных микросхем**

**Лекция 3. Технология изготовления интегральных транзисторов**

**Формулировка задания**

Написать эссе на заданную тему.

**Рекомендации по выполнению задания**

Объем отчета по заданию не более 5 страниц. Шрифт Times New Roman, 14 кегль, полуторный межстрочный интервал. Темы индивидуальных заданий представлены в табл. 2.1.

Таблица 2.1

Темы индивидуальных заданий

|  |  |
| --- | --- |
| Вариант | Тема эссе |
| 1 | Структура эпитаксиально-планарного интегрального *n-р-n*-транзистора |
| 2 | Распределение примеси в эпитаксиально-планарном интегральном *n-р-n*-транзисторе |
| 3 | Появление в структуре эпитаксиально-планарного интегрального *n-р-n-*транзистора паразитного *р-n-р*-транзистора |
| 4 | Структура изопланарного интегрального *n-р-n*-транзистора |
| 5 | Супербета-транзистор |
| 6 | Интегральный транзистор с барьером Шоттки |
| 7 | Многоэмиттерные транзисторы |
| 8 | Многоколлекторные транзисторы |
| 9 | Интегральный горизонтальный *р-n-р-*транзистор |
| 10 | Интегральный вертикальный *р-n-р-*транзистор |
| 11 | Полевые транзисторы с каналом, изолированным *p-n-*переходом |
| 12 | Полевые транзисторы с каналом, изолированным диэлектриком |
| 13 | Транзисторы на основе арсенида галлия |
| 14 | МНОП-транзисторы микросхем памяти |
| 15 | МОП-транзисторы с плавающим затвором |

# Бланк выполнения задания 2

Задание 2. Интегральные транзисторы

**Проверяемое задание 3**

**Тема «Особенности аналоговых микросхем»**

**Лекция 4.** **Особенности аналоговых микросхем, обусловленные спецификой технологии**

**Формулировка задания**

Написать эссе на заданную тему.

**Рекомендации по выполнению задания**

Объем отчета по заданию не более 5 страниц. Шрифт Times New Roman, 14 кегль, полуторный межстрочный интервал. Темы индивидуальных заданий представлены в табл. 3.1.

Таблица 3.1

Темы индивидуальных заданий

|  |  |
| --- | --- |
| Вариант | Тема эссе |
| 1 | Схемотехнические особенности интегральной электронной компонентной базы |
| 2 | Источники стабильного тока |
| 3 | Источники стабильного тока на униполярных транзисторах |
| 4 | Источники стабильного тока со схемой «токовое зеркало» при малом опорном токе |
| 5 | Сдвиг потенциальных уровней |
| 6 | Составные транзисторы |
| 7 | Каскад усиления напряжения на биполярном транзисторе |
| 8 | Схема замещения каскада усиления напряжения на биполярном транзисторе |
| 9 | Усилительный каскад на МОП-транзисторе |
| 10 | Усилительный каскад с динамической нагрузкой |
| 11 | Повторители |
| 12 | Усилительный дифференциальный каскад |
| 13 | Однофазные дифференциальные каскады |
| 14 | Выходные каскады интегральных микросхем |
| 15 | Выходные каскады интегральных микросхем с режимом работы АВ |

Бланк выполнения задания 3

Задание 3. Особенности аналоговых микросхем

**Проверяемое задание 4**

**Тема «Логические элементы на транзисторах с ключевым режимом работы»**

**Лекция 6.** **Свойства логических элементов**

**Формулировка задания**

Написать эссе на заданную тему.

**Рекомендации по выполнению задания**

Объем отчета по заданию не более 5 страниц. Шрифт Times New Roman, 14 кегль, полуторный межстрочный интервал. Темы индивидуальных заданий представлены в табл. 4.1.

Таблица 4.1

Темы индивидуальных заданий

|  |  |
| --- | --- |
| Вариант | Тема эссе |
| 1 | Свойства логических элементов |
| 2 | Статические параметры логических элементов |
| 3 | Передаточная характеристика логических элементов |
| 4 | Входная и выходные характеристики логических элементов |
| 5 | Помехозащищенность логических элементов |
| 6 | Динамические характеристики и параметры логических элементов |
| 7 | Классификация цифровых интегральных схем |
| 8 | Инвертор резисторно-транзисторной логики |
| 9 | Многовходовые логические элементы резисторно-транзисторной логики |
| 10 | Инвертор диодно-транзисторной логики |
| 11 | Многовходовые логические элементы диодно-транзисторной логики |
| 12 | Инвертор высокопороговой диодно-транзисторной логики |
| 13 | Многовходовые логические элементы высокопороговой диодно-транзисторной логики |
| 14 | Многовходовые логические элементы транзисторно-транзисторной логики на транзисторах Шоттки |
| 15 | Инвертор транзисторно-транзисторной логики с запретом подключения к шине |

# Бланк выполнения задания 4

Задание 1. Логические элементы на транзисторах с ключевым режимом работы

**Проверяемое задание 5**

**Тема «Специальные** **логические элементы»**

**Лекция 8.** **Специальные** **логические элементы**

**Формулировка задания**

Написать эссе на заданную тему.

**Рекомендации по выполнению задания**

Объем отчета по заданию не более 5 страниц. Шрифт Times New Roman, 14 кегль, полуторный межстрочный интервал. Темы индивидуальных заданий представлены в табл. 5.1.

Таблица 5.1

Темы индивидуальных заданий

|  |  |
| --- | --- |
| Вариант | Тема эссе |
| 1 | Инвертор малосигнальной эмиттерно-связанной логики |
| 2 | Многовходовые логические элементы малосигнальной эмиттерно-связанной логики |
| 3 | Инвертор эмиттерно-связанной логики |
| 4 | Многовходовые логические элементы эмиттерно-связанной логики |
| 5 | Технология логики с инжекционным питанием |
| 6 | Характеристики и параметры элементов логики с инжекционным питанием |
| 7 | Многовходовые логические элементы логики с инжекционным питанием |
| 8 | Инверторы *n*-МОП-логики |
| 9 | Многовходовые элементы ИЛИ-НЕ *n*-МОП-логики |
| 10 | Многовходовые элементы И-НЕ *n*-МОП-логики |
| 11 | Базовые элементы *р*-МОП-логики |
| 12 | Многовходовые элементы *р*-МОП-логики |
| 13 | Базовые элементы КМОП-логики |
| 14 | Многовходовые элементы ИЛИ-НЕ КМОП-логики |
| 15 | Многовходовые элементы И-НЕ КМОП-логики |

# Бланк выполнения задания 5

Задание 5. Специальные логические элементы

**Проверяемое задание 6**

**Тема «Функциональная электроника и элементы запоминающих устройств»**

**Лекция 9.** **Функциональная электроника**

**Лекция 10.** **Элементы запоминающих устройств**

**Формулировка задания**

Написать эссе на заданную тему.

**Рекомендации по выполнению задания**

Объем отчета по заданию не более 5 страниц. Шрифт Times New Roman, 14 кегль, полуторный межстрочный интервал. Темы индивидуальных заданий представлены в табл. 6.1.

Таблица 6.1

Темы индивидуальных заданий

|  |  |
| --- | --- |
| Вариант | Тема эссе |
| 1 | Элементы функциональной электроники на поверхностных акустических волнах |
| 2 | Элементы функциональной электроники на цилиндрических магнитных доменах |
| 3 | Управление движением цилиндрических магнитных доменов |
| 4 | Принцип действия приборов с зарядовой связью |
| 5 | Устройства ввода и вывода и тактирование приборов с зарядовой связью |
| 6 | Применение приборов с зарядовой связью |
| 7 | Классификация запоминающих устройств |
| 8 | Основные параметры запоминающих устройств |
| 9 | Статические оперативные запоминающие устройства на биполярных транзисторах |
| 10 | Статические оперативные запоминающие устройства на МОП-транзисторах |
| 11 | Динамические оперативные запоминающие устройства |
| 12 | Классификация постоянных запоминающих устройств. Масочные устройства |
| 13 | Ячейки постоянных запоминающих устройств |
| 14 | Технологические особенности ячеек памяти репрограммируемых постоянных запоминающих устройств |
| 15 | Структурные схемы репрограммируемых постоянных запоминающих устройств |

# Бланк выполнения задания 6

Задание 6. Функциональная электроника и элементы запоминающих устройств